ỦY BAN NHÂN DÂN QUẬN 5

TRƯỜNG TRUNG CẤP NGHỀ

KỸ THUẬT CÔNG NGHỆ HÙNG VƯƠNG

GIÁO TRÌNH

TÊN MÔ ĐUN: **LẮP RÁP MẠCH ĐIỆN TỬ SỐ**

NGÀNH, NGHỀ: **ĐIỆN TỬ CÔNG NGHIỆP**

TRÌNH ĐỘ: **TRUNG CẤP**

(Ban hành kèm theo Quyết định số: ……/QĐ-KTCNHV ngày … tháng … năm 2024 của Hiệu trưởng Trường Trung cấp nghề Kỹ thuật Công nghệ Hùng Vương)

Năm 2024

TUYÊN BỐ BẢN QUYỀN

Tài liệu này thuộc loại sách giáo trình nên các nguồn thông tin có thể được phép dùng nguyên bản hoặc trích dùng cho các mục đích về đào tạo và tham khảo.

Mọi mục đích khác mang tính lệch lạc hoặc sử dụng với mục đích kinh doanh thiếu lành mạnh sẽ bị nghiêm cấm.

LỜI GIỚI THIỆU

Biên soạn giáo trình không chỉ là một hoạt động nghiên cứu khoa học, mà còn là một hành trình sáng tạo. Các giáo viên và giảng viên, dựa trên các phương pháp và nguyên tắc chung, đã khéo léo vận dụng vào điều kiện cụ thể để xây dựng nội dung giảng dạy hấp dẫn và thu hút người học.

Nhằm cung cấp tài liệu cơ sở cho đội ngũ giáo viên để tiến hành các buổi dạy học hiệu quả, cũng như hỗ trợ học sinh, sinh viên trong quá trình học tập, Khoa Điện tử đã tổ chức biên soạn cuốn giáo trình "**Lắp ráp Mạch điện tử số**". Sản phẩm này là kết quả của sự đóng góp công sức từ nhóm giáo viên chuyên ngành tại trường Trung cấp nghề Kỹ thuật Công nghệ Hùng Vương.

Cuốn giáo trình được viết bởi đội ngũ giáo viên giàu kinh nghiệm, với sự hỗ trợ và phản biện từ các doanh nghiệp trong lĩnh vực liên quan. Dù đã cố gắng biên soạn một cách kỹ lưỡng, chúng tôi hiểu rằng cuốn sách khó tránh khỏi những khiếm khuyết. Vì vậy, chúng tôi mong nhận được ý kiến đóng góp từ bạn đọc để cuốn giáo trình này ngày càng hoàn thiện hơn trong các lần tái bản sau.

Xin trân trọng giới thiệu cuốn giáo trình tới bạn đọc!

Quận 5, ngày ... tháng ... năm ……

Tham gia biên soạn

1. Bùi Quốc Trưởng

2. Lê Huỳnh Quân

3. Nguyễn Hoàn Phú

MỤC LỤC

BÀI 1: ỔN ÁP NGUỒN ĐIỆN MỘT CHIỀU 4
1. Nguyên tắc ổn áp: 4
2. Mạch ổn áp sử dụng diode zener: 4
3. Mạch ổn áp sử dụng Transistor: 5
BÀI 2: VI MẠCH ĐỊNH THỜI (TIMER) 8
1. Tín hiệu xung và tham số 8
2. Điều chế độ rộng xung 10
3. Giới thiệu vi mạch định thời NE 555 10
4. Mạch một trạng thái bền *(Monostable operation)* 11
5. Mạch không trạng thái bền *(Astable Operation)* 11
6. Mạch điều chế độ rộng xung *(Pulse Width Modulation)* 12
7. Mạch điều chế vị trí xung *(Pulse Position Modulation)* 12
8. Mạch tạo xung dốc tuyến tính 13
BÀI 3: VI MẠCH KHUẾCH ĐẠI THUẬT TOÁN (OP-AMP) 14
1. GIỚI THIỆU: 14
2. MẠCH ỨNG DỤNG 14
BÀI 4: SCHMITT TRIGGER 17
1. Schmitt Trigger sử dụng BJT 17
2. Schmitt Trigger sử dụng Op-Amp 18
3. Schmitt Trigger sử dụng IC số 18
BÀI 5: HỆ THỐNG SỐ 19
1. Khái niệm về tín hiệu tương tư và tín hiệu số 19
2. Giới thiệu chung về hệ thống số và qui ước của hệ thống số 19
3. Hệ thống số thập phân *(Decimal Number System)* 20
4. Hê thống số nhị phân *(Binary Number System)* 20
5. Chuyển đổi giữa hệ nhị phân và hệ thập phân 21
6. Hệ thống số bát phân *(Octal Number System)* 21
7. Hệ thống số thập lục phân *(Hexadecimal Number System)* 21
8. Trạng thái logic 1 và logic 0 22
BÀI 6: CÁC CỔNG LOGIC 24
1. Cổng NOT *(cổng Đảo)* 24
2. Cổng BUFFER *(cổng Đệm)* 24
3. Cổng AND *(Cổng Và)* 24
4. Cổng NAND *(cổng Và Không)* 25
5. Cổng OR *(cổng Hoặc)* 25
6. Cổng NOR *(cổng Hoặc không)* 26
7. Cổng EXOR *(cổng Loại trừ - Exclusive Or)* 26
8. Cổng EXNOR *(Cổng Loại trừ không - Exclusive Not Or)* 27
BÀI 7: MẠCH SỐ HỌC VÀ ALU 28

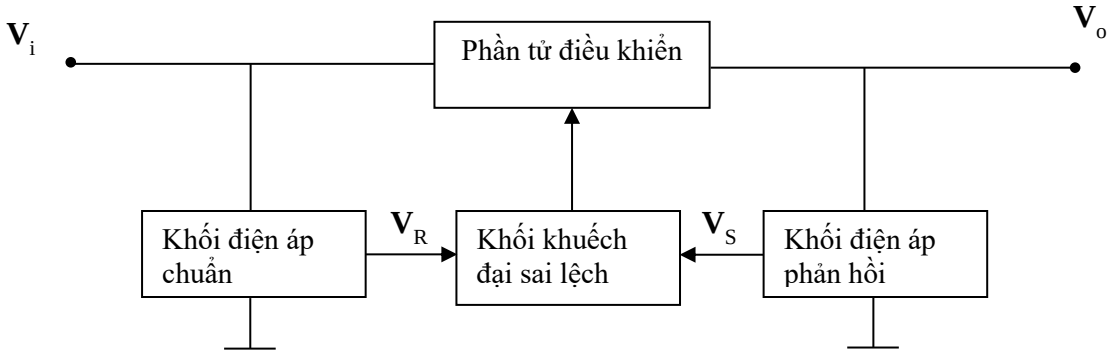
1. Cộng nhị phân *(Binary Addition)* 28
2. Trừ nhị phân *(Binary Subtraction)* 29
3. Mạch tổng hoặc hiệu 2 số nhị phân n bit (n bit adder or subtractor) 30
4. Vi mạch 74LS243 30
BÀI 8: MÃ HÓA VÀ GIẢI MÃ 31
1. Mã hóa (Encoder) 31
2. Giải mã (Decoder) 32
BÀI 9: FLIP – FLOP 34
1. Flip-Flop RS 34
2. Flip-Flop JK 36
3. Flip-Flop D *(Flip-Flop Data)* 36
4. Flip-Flop T*(FF Toggle)* 36
BÀI 10: MẠCH ĐẾM 37
1. Mạch đếm không đồng bộ *(Mạch đếm nối tiếp)* 37
2. Mạch đếm đồng bộ *(Mạch đếm song song)* 38
3. Mạch đếm thập phân 39
4. Khảo sát vi mạch 74LS90 40
5. Khảo sát vi mạch CD4510B 41
BÀI 11: HỢP KÊNH VÀ PHÂN KÊNH 42
1. Hợp kênh (MUX) 42
2. Phân kênh (DMUX) 42
BÀI 12: BỘ SO SÁNH 2 SỐ NHỊ PHÂN CÙNG CẤP 43
1. Khái niệm: 43
2. So Sánh 1 bit nhị phân: 43
3. So Sánh 4 bit nhị phân: 43
4. So sánh 8 bit nhị phân: 44
BÀI 13: MẠCH GHI DỊCH 45
1. Mạch ghi dịch phải 45
2. Mạch ghi dịch trái 45
3. Mạch ghi dữ liệu nối tiếp 46
4. Mạch ghi dữ liệu song song 47
5. Giới thiệu vi mạch ghi dịch 47
BÀI 14: BỘ CHUYỂN ĐỔI SỐ - TƯƠNG TỰ 50
1. Sơ đồ khối: 50
2. DAC sử dụng điện trở có trọng số nhị phân: 51
BÀI 15: BỘ CHUYỂN ĐỔI TƯƠNG TỰ - SỐ 53
1. Vi mạch ADC ICL7106 và ICL7107: 53
BÀI 16: RAM 55
1. ROM *(Read Only Memory - Bộ nhớ chỉ đọc)* 55
2. RAM *(Radom Access Memory - Bộ nhớ truy xuất ngẫu nhiên)* 55

3. Cấu trúc của SRAM 55

BÀI 1: MẠCH ỔN ÁP ĐIỆN MỘT CHIỀU

Mạch ổn áp điện một chiều được sử dụng nhằm tạo ra điện áp V_o có ***giá trị ổn định*** cung cấp cho tải mà ***không phụ thuộc*** vào điện áp của ngõ vào **V_i** và giá trị của điện trở **tải**.

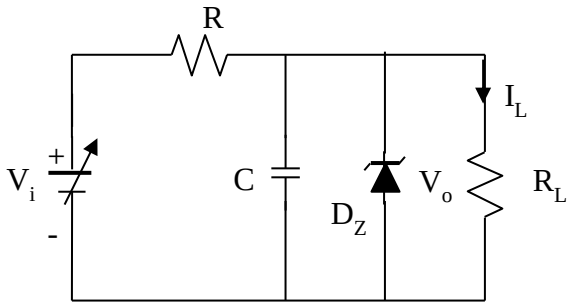
1. Nguyên tắc ổn áp:



- **Khối điện áp chuẩn: (V_R)** Điện áp chuẩn V_R là cơ sở cho việc ổn áp chuẩn để trực tiếp điều khiển điện áp ngõ ra V_o.
- **Khối điện áp phản hồi: (V_S)** Khi ngõ ra có điện áp bị thay đổi sẽ làm điện áp phản hồi bị thay đổi so với điện áp chuẩn (V_R).
- **Khối khuếch đại sai lệch:** Được so sánh giữa điện áp chuẩn với điện áp phản hồi để làm thay đổi trạng thái dẫn điện của phần tử điều khiển.
- **Phần tử điều khiển:** Là linh kiện điện tử công suất được coi như 1 tổng trở có trị số tuỳ thuộc ngõ ra của mạch khuếch đại.

2. Mạch ổn áp sử dụng diode zener:

- Mạch điện:



- Chỉ dùng cho các loại **tải có công suất nhỏ**:
  $V_o = V_Z$ = hằng số và $R = \frac{V_i - V_o}{I_R}$
- Trong đó V_i là trị trung bình: $V_i = (1{,}5 \div 2)V_o$
- Chọn $I_Z = I_L$
- Vậy $I_R = I_L + I_Z$
- Công suất điện trở: $P_R = 2P_L = 2\,RI^2_L$
- Chọn Diode Zener $V_Z = V_L$, $I_{Zmax} \geq 4I_L$
- Mạch này có nhược điểm là khó thực hiện trong thực tế đối với tải có công suất lớn.

3. Mạch ổn áp sử dụng Transistor:

3.1 Ổn áp nối tiếp:

Điện áp ngõ ra: $V_o = V_B - V_{BE}$

Trong đó:

$V_B = V_Z$ = hằng số

$V_o = V_Z - V_{BE}$ = hằng số

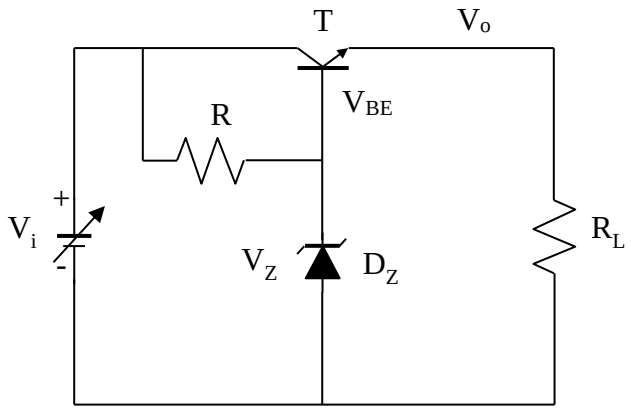
(V_{BE} = 0,6V ÷ 0,7V)

Vậy điện áp ra được ổn định

& chỉ tuỳ thuộc vào V_Z.

Để mạch hoạt động tốt vẫn phải

Có điều kiện: $V_i = (1,5 \div 2)V_o$



Chọn Diode zener : $I_Z \geq (1 \div 2)I_B$; $I_R = I_Z + I_B$; $R_B = \dfrac{V_i - V_Z}{I_R}$

Chọn Transistor với các thông số sau: $I_{Cmax} \geq 2I_L$, $P_C = I_C V_{CE} = I_L\left(\bar{V}_i - V_O\right)$

Chọn Transistor có công suất tiêu tán cực đại là: $P_{Cmax} \geq 2P_C$

<u>Ví dụ:</u> Cho mạch ổn áp nối tiếp có V_I = (18V → 24V). Yêu cầu điện thế ra ổn áp là V_o =12V & dòng tải trung bình I_L = 500mA. Cho biết transistor có β = 50.

Giải:

Điện áp vào trung bình là : $\bar{V}_i = \dfrac{18V + 24V}{2} = 21V$

Dòng điện tải qua transistor: $I_C = I_L$ =500mA ⇒ Dòng điện nền : $I_B = \dfrac{I_C}{\beta} = \dfrac{500mA}{50} = 10mA$

Chọn dòng qua Diode zener : $I_Z = 2I_B$ = 2 x 10mA = 20mA

Vậy chọn Diode zener có các thông số:

$V_Z = V_o + V_{BE}$ = 12V + 0,6V = 12,6V

$I_{Zmax} \geq 4I_Z \Rightarrow I_{Zmax}$ = 80mA

Tính điện trở R: $R = \dfrac{\bar{V}_i - V_O}{I_R} = \dfrac{\bar{V}_i - V_O}{I_Z + I_B} = \dfrac{21V - 12V}{20mA + 10mA} = 30\Omega$

Chọn transistor : $I_{Cmax} \geq 2I_C \geq 1A$, $P_C = I_C V_{CE}$ = 500mA(21V – 12V) = 4,5W

Chọn $P_{Cmax} = 2P_C$ = 2 x 4,5W = 9W

3.2 Ổn áp song song:

Mạch điện:

Điều kiện : $V_i = (1,5 \div 2)V_o$

$V_o = V_Z + V_{BE}$ = hằng số

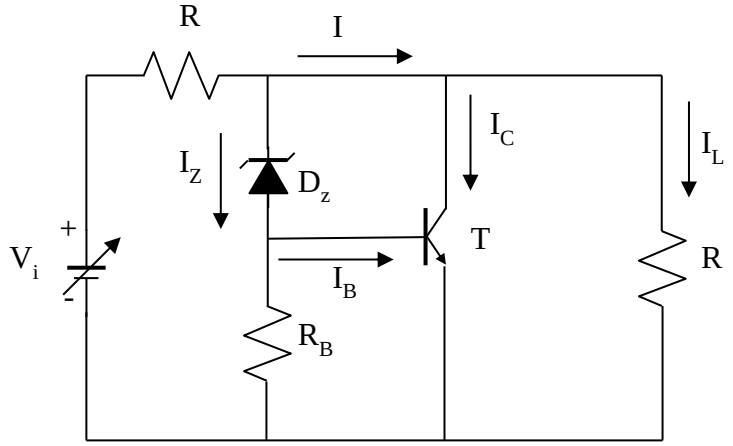
Vậy V_o được giữ ổn định mà chỉ tuỳ thuộc vào V_Z.

Chọn $I_C = I_L$ mà $I = I_C + I_L$

Tính $R = \dfrac{\overline{V}_i - V_O}{I}$

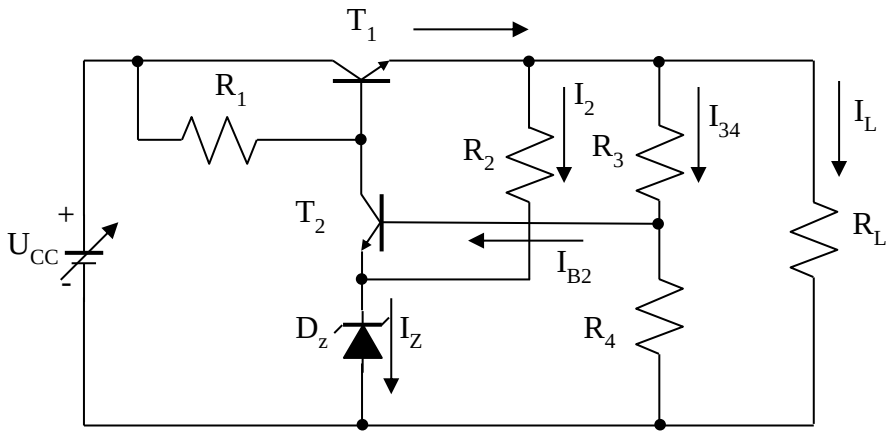
Chọn Diode zener:

- $I_Z = (5 \div 10) \times I_B$
- $V_Z = V_O - V_{BE}$
- $I_{Zmax} = 2I_Z$.



3.3 Mạch ổn áp phao:

Mạch điện:



$$V_S = \frac{R_4}{R_3 + R_4} V_O$$

$V_S = V_Z + V_{BE}$

$$V_O = (V_Z + V_{BE})\frac{R_3 + R_4}{R_4}$$ = hằng số.

Vậy điện áp ra ổn định theo V_Z & cầu phân áp R_3, R_4.

$V_O = V_i - V_{CE1}$

$V_{CE1} = V_R + V_{BE1}$

Ví dụ: Cho mạch ổn áp phao có yêu cầu sau: $V_O = 9V$, $I_L = 1A$. Tìm giá trị điện trở trong mạch & chọn các thông số cho linh kiện.

Giải:

Điều kiện điện áp vào: $V_i = (1,5 \div 2)\, V_O$, $V_i = 1,5V_O \div 2V_O = 1,5 \times 9V \div 2 \times 9V$

$$\Rightarrow \overline{V}_i = \frac{13,5V + 18V}{2} = 15,75V$$

Công suất tiêu tán trên Transistor T_1 : P_{C1}

$$P_{C1} = V_{CE1} I_{C1} = (\overline{V}_i - V_O) I_L = (15,75V - 9V).1A = 6,75W$$

Chọn transistor có công suất tiêu tán cực đại : $P_{Cmax} = 2P_C = 13,5W$.

Chọn Diode zener có : $V_Z = \dfrac{1}{2} V_O = 4,5V$

Dòng điện qua cầu phân áp R_3,R_4 được chọn sau cho có trị số rất nhỏ so với dòng tải để coi như không đáng kể.

- Chọn : $I_{R34} = \frac{I_L}{100} = \frac{1A}{100} = 10mA$

Vậy ta có thể tính tổng trở của cầu phân áp: $R_3 + R_4 = \frac{V_O}{I_{R34}} = \frac{9V}{10mA} = 900\Omega$

Mà ta có: $V_S = V_Z + V_{BE2}$ *(Chọn V_{BE2}= 0,7V)* => V_S = 4,5V + 0,7V = 5,2V

- Chọn dòng I_{B2} của transistor T_2 rất nhỏ so với I_{R34} để không ảnh hưởng đến cầu phân áp.
- Chọn $I_{B2} = \frac{I_R}{100} = \frac{10mA}{100} = 100\mu A$

$\Rightarrow$ Điện trở $R_4 = \frac{V_S}{I_{R34}} = 520\Omega$, $\Rightarrow$ $R_3 + R_4 = 900\Omega$ => $R_3 = 380\Omega$

Vậy T_2 có β =50 $\Rightarrow$ $I_{E2} = \beta I_{B2}$ = 50 x 0,1mA = 5mA. Chọn $I_Z = (2 \div 3)I_{E2}$

Nếu chọn $I_Z = 3I_{E2}$ = 3 x 5mA = 15mA. $\Rightarrow$ Dòng qua R_2 là: $I_{R2} = I_Z - I_{E2}$ = 10mA

Tính trị số điện trở R_2 là: $V_{R2} = V_O - V_Z$

$$R_2 = \frac{V_O - V_Z}{I_{R2}} = \frac{9V - 4{,}5V}{10mA} = 450\Omega$$

Dòng điện qua R_1 là: $I_{R1} = I_{E2} + I_{B1}$

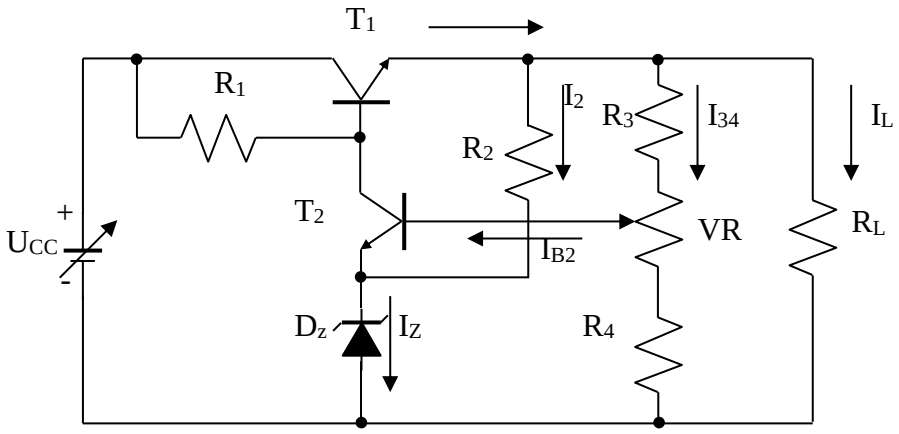
Chọn transistor T_1 có β =50

$I_{B1} = \frac{I_{C1}}{\beta_1} = \frac{1A}{50} = 20mA$, I_{R1} = 5mA + 20mA = 25mA.

Tính điện trở R_1 : $V_{R1} = \overline{V}_i - (V_{BE1} + V_O)$ *(Chọn V_{BE1}= 0,7V)*

$$R_1 = \frac{\overline{V}_i - (V_{BE1} + V_O)}{I_{R1}} = \frac{15{,}75V - (0{,}7V + 9V)}{25mA} = 242\Omega$$

4. Mạch ổn áp có điện áp ngõ ra thay đổi được:



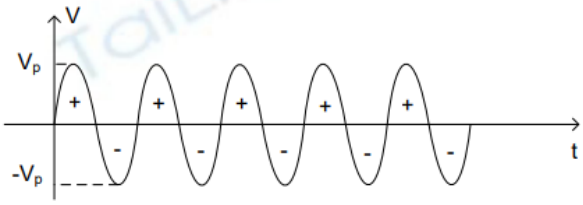
BÀI 2: VI MẠCH ĐỊNH THỜI (TIMER)

1. Tín hiệu xung và tham số

1.1 Định nghĩa

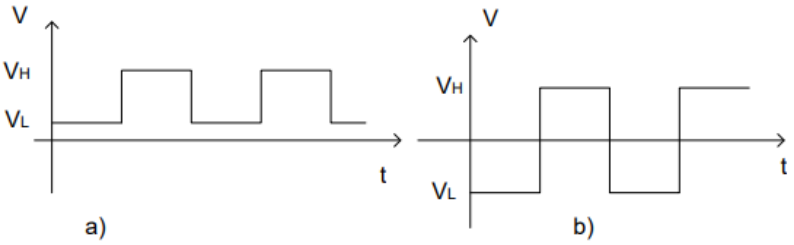
Các tín hiệu điện áp hay dòng điện biến đổi theo thời gian được chia thành 2 loại cơ bản là tín hiệu liên tục và tín hiệu rời rạc (gián đoạn).

- **Tín hiệu liên tục** còn gọi là tín hiệu tuyến tính hay tương tự. Tiêu biểu cho tín hiệu liên tục là tín hiệu sin, như hình 1, với tín hiệu sin ta có thể tính được biên độ của tín hiệu tại từng thời điểm khác nhau.



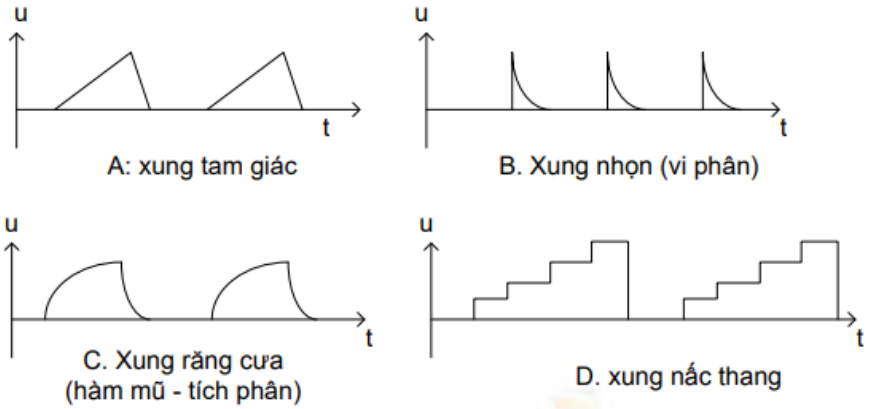
Hình 1.1: Tín hiệu hình sin

- **Tín hiệu rời rạc** gọi là tín hiệu xung hay số. Tiêu biểu cho tín hiệu rời rạc là tín hiệu vuông, dạng tín hiệu như hình 2, biên độ của tín hiệu chỉ có 2 giá trị mức cao V_H và mức thấp V_L, thời gian chuyển mức tín hiệu từ mức cao sang mức thấp và ngược là rất ngắn coi như bằng 0



Hình 1.2: a, xung vuông điện áp > 0. b, xung vuông điện áp đều nhau

Xung là một dạng tín hiệu có hai mức trạng thái đó là mức điện áp cao và mức thấp được lặp đi lặp lại theo thời gian. Tín hiệu xung không chỉ có tín hiệu xung vuông mà còn có mốt số dạng tín hiệu khác như xung tam giác, răng cưa, xung nhọn, xung nấc thang có chu kỳ tuần hoàn theo thời gian với chu kỳ lặp lại T.

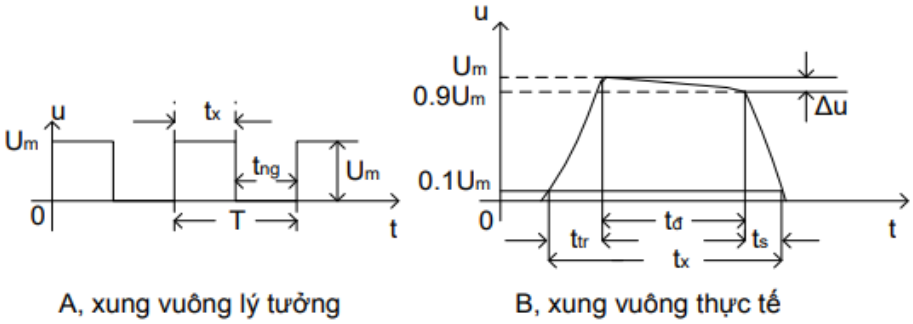


Hình 1.3: Các dạng tín hiệu xung

Trong nhiều trường hợp xung tam giác có thể coi là xung răng cưa Các dạng xung cơ bản trên rất khác nhau về dạng sóng, nhưng có điểm chung là thời gian tồn tại xung rất ngắn, sự biến thiên biên độ từ thấp lên cao (xung nhọn) và từ cao xuống thấp (nấc thang, tam giác) xảy ra rất nhanh.

1.2 Các tham số cơ bản của tín hiệu xung:

Tín hiệu xung vuông như hình 1 là một tín hiệu xung vuông lý tưởng, thực tế khó có 1 xung vuông nào có biên độ tăng và giảm thẳng đứng như vậy:



Hình 1.4 Dạng xung

Xung vuông thực tế với các đoạn đặc trưng như: sườn trước, đỉnh, sườn sau. Các tham số cơ bản là: biên độ $\mathbf{U_m}$, độ rộng xung $\mathbf{t_x}$, độ rộng sườn trước $\mathbf{t_{tr}}$ và sườn sau $\mathbf{t_s}$, độ sụt đỉnh △u.

- Biên độ xung $\mathbf{U_m}$ là giá trị lớn nhất của điện áp tín hiệu xung có được trong thời gian tồn tại của nó.
- Độ rộng sườn trước $\mathbf{t_{tr}}$ là khoảng thời gian tăng và độ rộng sườn sau $\mathbf{t_s}$ là khoảng thời gian giảm của biên độ xung trong khoảng giá trị $0.1U_m$ đến $0.9U_m$.
- Độ rộng xung T_x là khoảng thời gian có xung với biên độ trên mức $0.1U_m$ (hoặc $0.5U_m$).
- Độ sụt đỉnh xung △u thể hiện mức giảm biên độ xung tương tứng từ $0.9U_m$ đến U_m.

Với dãy xung tuần hoàn ta có các tham số đặc trưng như sau:

- Chu kỳ lặp lại xung T là khoảng thời gian giữa các điểm tương ứng của 2 xung kế tiếp, hay là thời gian tương ứng với mức điện áp cao t_x và mức điện áp thấp t_{ng}

$$T = t_x + t_{ng} \quad (1)$$

- Tần số xung là số lần xung xuất hiện trong một đơn vị thời gian.

$$f = \frac{1}{T} \quad (2)$$

- Thời gian nghỉ $\mathbf{t_{ng}}$ là khoảng thời gian trống giữa 2 xung liên tiếp có điện nhỏ hơn $0.1U_m$ (hoặc $0.5U_m$).
- Hệ số lấp đầy **γ** là tỷ số giữa độ rộng xung t_x và chu kỳ xung

$$\gamma = \frac{t_x}{T} \quad (3)$$

Do $T = t_x + t_{ng}$ vậy ta luôn có $\gamma < 1$

- Độ rỗng của xung **Q** là tỷ số giữa chu kỳ xung T và độ rộng xung t_x.

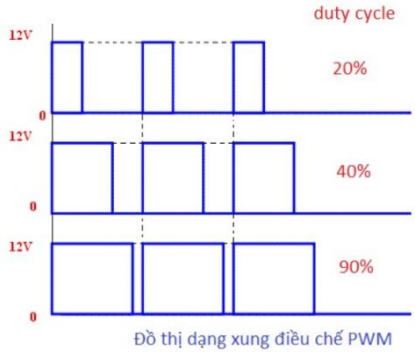
$$Q = \frac{T}{t_x} \quad (4)$$

Trong kỹ thuật xung - số người ta sử dụng phương pháp số đối với tín hiệu xung với quy ước chỉ có 2 trạng thái phân biệt:

- Trạng thái có xung (t_x) với biên độ lớn hơn một ngưỡng U_H gọi là trạng thái cao hay mức "**1**", mức U_H thường chọn cỡ từ $1/2V_{cc}$ đến V_{cc}.
- Trạng thái không có xung (t_{ng}) với biên độ nhỏ hơn 1 ngưỡng U_L gọi là trạng thái thấp hay mức "**0**", U_L được chọn tùy theo phần tử khóa (tranzito hay IC)
- Các mức điện áp ra trong dải $U_L < U < U_H$ được gọi là trạng thái cấm.

2. Điều chế độ rộng xung

Phương pháp điều xung PWM (Pulse Width Modulation) là phương pháp điều chỉnh điện áp ra tải dựa trên sự thay đổi độ rộng của chuỗi xung vuông, dẫn đến sự thay đổi điện áp ra.
Các PWM khi biến đổi thì có cùng 1 tần số và khác nhau về độ rộng của sườn dương hay sườn âm.



Ứng dụng của PWM trong điều khiển

PWM được ứng dụng nhiều trong điều khiển. Điển hình nhất mà chúng ta thường hay gặp là điều khiển động cơ và các bộ xung áp, điều áp… Sử dụng PWM điều khiển độ nhanh chậm của động cơ hay cao hơn nữa, nó còn được dùng để điều khiển sự ổn định tốc độ động cơ.

3. Giới thiệu vi mạch định thời NE 555

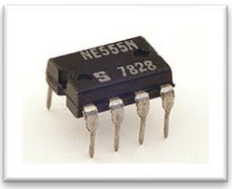
3.1 Mô tả

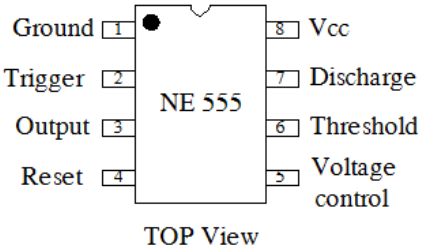
Vi mạch 555 là vi mạch tạo ra *xung* có độ chính xác cao về thời gian và hoạt động ổn định. Ở chế độ *đơn ổn*, thời gian trễ được điều khiển bởi điện trở bên ngoài và một tụ điện. Ở hoạt động *đa ổn*, tần số và *chu kỳ nhiệm vụ* được chính xác điều khiển với hai điện trở và một tụ điện bên ngoài.

3.2 Tính năng của vi mạch:

- Nguồn cung cấp: +5V đến +15V.
- Dòng tiêu thụ khoảng thấp 3mA (V_{CC} = 5V) hoặc 8mA (V_{CC} = 15V).
- Khả năng cung cấp dòng cao (200mA).
- Thời gian định thời từ µS đến hàng giờ.
- Thời gian chuyển sang trạng thái tắt < 2µS.

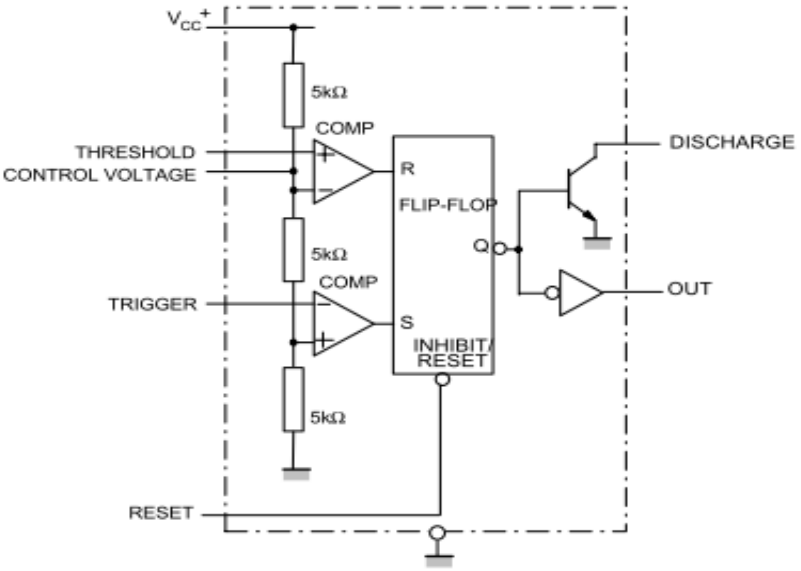
3.3 Hình dạng – ký hiệu – cấu tạo





- Chân 1 – Ground.
- Chân 2 – Trigger: *ngõ vào xung kích.*
- Chân 3 – Output: *ngõ ra.*
- Chân 4 – Reset: *điều khiển ngõ ra, nếu chân Reset nối xuống Ground thì sẽ không có xung ra, chân Reset nối lên nguồn thì cho xung ra.*
- Chân 5 – Voltage control: *chân điều khiển điện áp, dùng để thay đổi thời hằng hay tần số xung ở ngõ ra chân số 3. Bình thường chân này để hở hay nối Mass thông qua một tụ 0,1µF.*
- Chân 6 – Threshold: *chân ngưỡng hay thềm, dùng để nhận biết mức điện áp ở ngõ vào dựa trên hai mức chuẩn là* $^1/_3V_{CC}$ *và* $^2/_3V_{CC}$ *để điều khiển tín hiệu ở ngõ ra.*
- Chân 7 – Discharge: *chân xả điện, mối nối C-E của một transistor nằm bên trong vi mạch bị nối tắt chân 7 xem như nối xuống GND.*

- Chân 8 – V_{CC}.



4. Mạch một trạng thái bền *(Monostable operation)*

- *Mạch điện:*

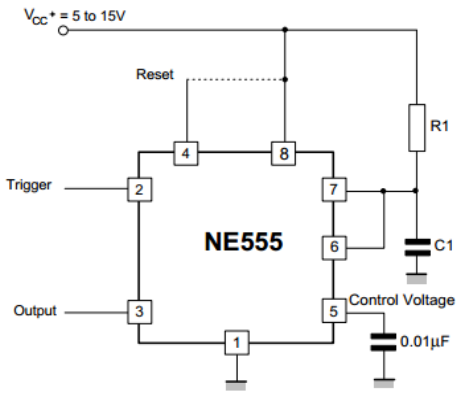
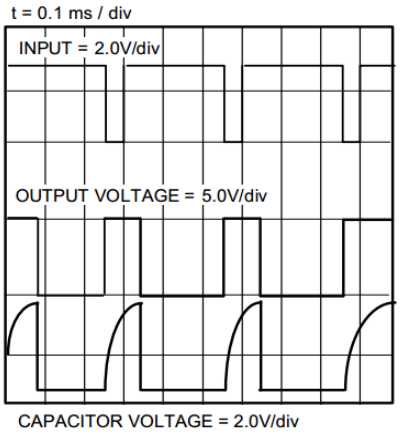
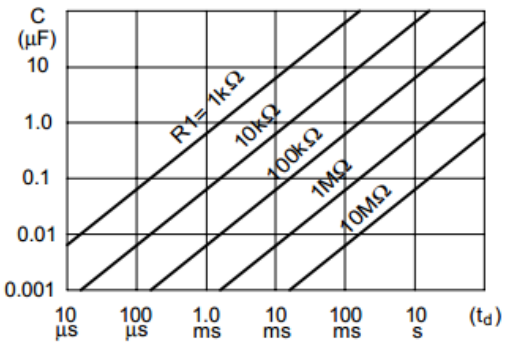


Figure 11

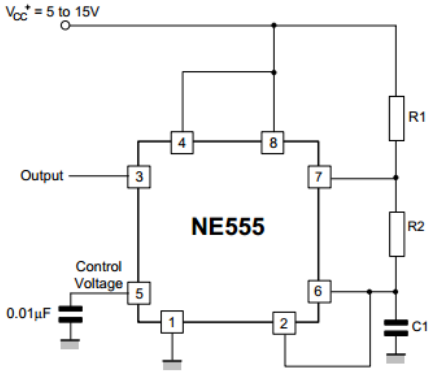


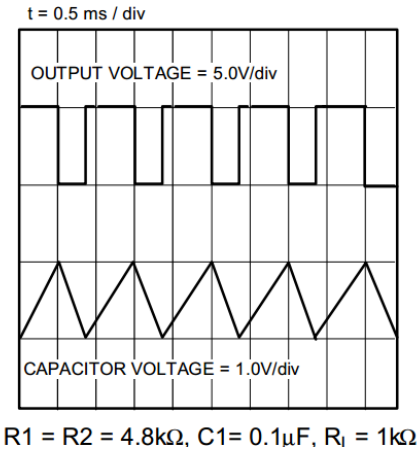
R1 = 9.1kΩ, C1 = 0.01µF, R_L = 1kΩ

- Khi có một *xung âm* tác động vào chân *trigger* của NE555 thì ngõ ra sẽ xuất hiện một *xung dương*. Xung dương này sẽ tồn tại trong một khoảng thời gian: $t = 1{,}1.R_1.C_1$. Sau thời gian tồn tại xung dương thì mạch sẽ trở về trạng thái ban đầu, ngõ ra lại trở về mức thấp.

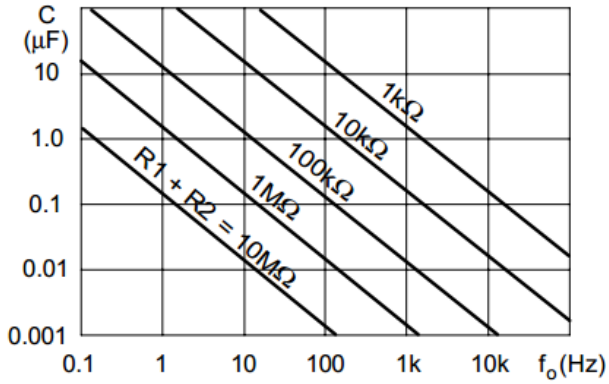


5. Mạch không trạng thái bền *(Astable Operation)*



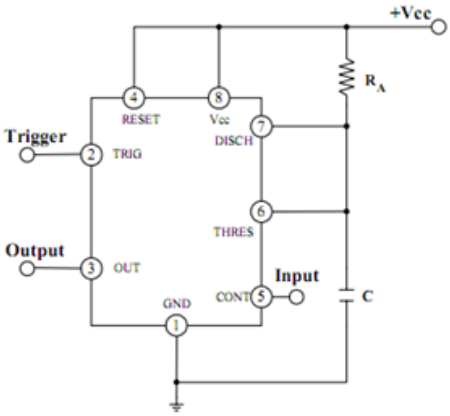


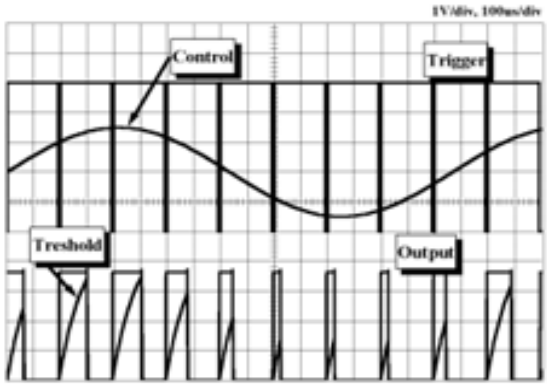
- Mạch tạo dao động với các thông số được xác định thông qua điện trở R_1, R_2 và C1.
- Tụ C_1 nạp thông qua điện trở R_1 và R_2, thời gian tụ nạp thì ngõ ra ở mức CAO:
  $t_1 = 0{,}693.(R_1 + R_2).C_1$
- Tụ C_2 xả thông qua điện trở R_2, thời gian tụ xả ngõ ra ở mức THẤP:
  $t_2 = 0{,}693.(R_2).C_1$
- Mạch dao động với chu kỳ : $T = t_1 + t_2$
- Tần số dao động của mạch : $f = 1/T$
- Duty cycle (chu kỳ nhiệm vụ) :
  $D = R_2/(R_1 + 2R_2)$



6. Mạch điều chế độ rộng xung *(Pulse Width Modulation)*

Dạng sóng ngõ ra của bộ định thời có độ rộng xung thay đổi phụ thuộc vào biên độ của tín hiệu điều chế.

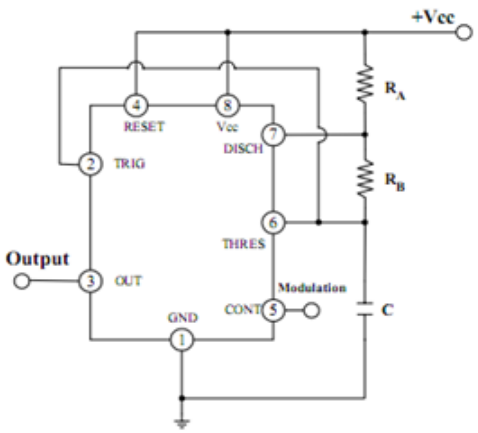


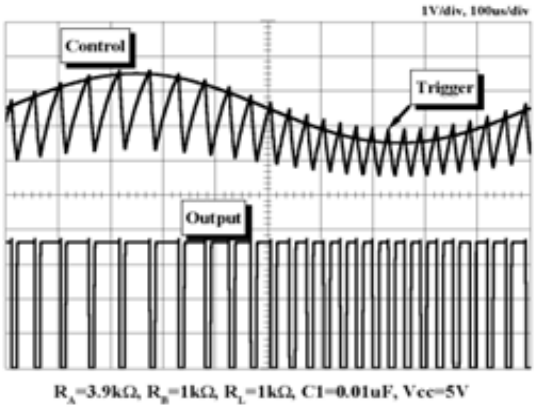


R_A=9.1kΩ, R_L=1kΩ, C1=0.01uF, Vcc=5V

7. Mạch điều chế vị trí xung *(Pulse Position Modulation)*

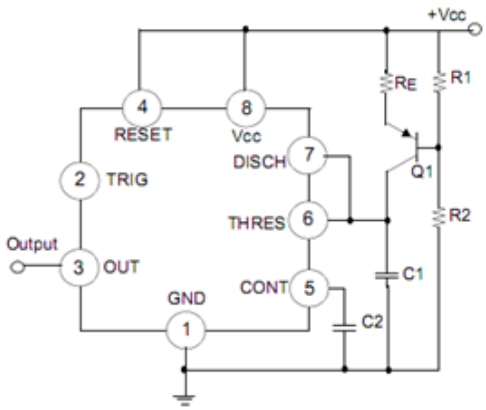
Nếu đưa *tín hiệu điều chế* vào *cực điều khiển điện* áp (5) trong khi mạch đang hoạt động ở *chế độ không trạng thái bền* thì mạch sẽ có chức năng *điều chế vị trí xung*. Xung ngõ ra có tần số thay đổi phụ thuộc vào vị trí của *tín hiệu điều chế* (5) và *xung kích* (2).

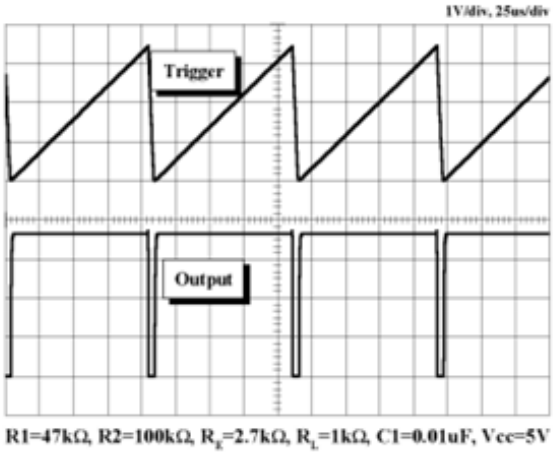




8. Mạch tạo xung dốc tuyến tính

Mạch điện sử dụng một nguồn dòng không đổi nạp cho tụ C1, làm điện áp trên tụ C1 tăng tuyến tính, sinh ra một xung có độ dốc tuyến tính.



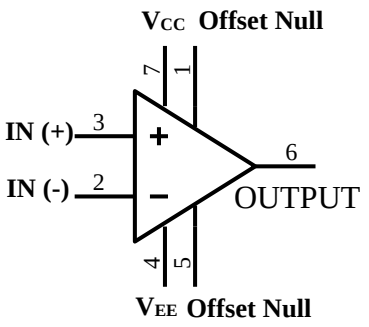


BÀI 3: VI MẠCH KHUẾCH ĐẠI THUẬT TOÁN (OP-AMP)

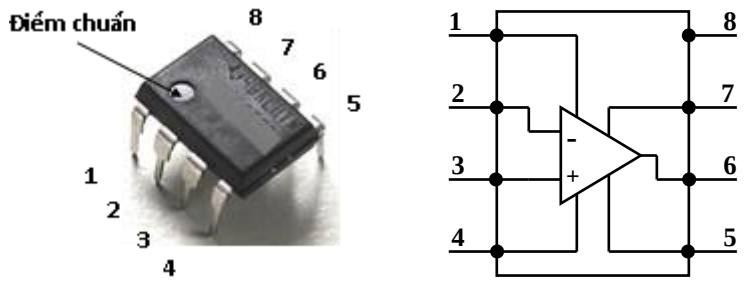
1. GIỚI THIỆU:

1.1 Ký hiệu - hình dạng – sơ đồ chân

Vi mạch khuếch đại thuật toán (**Op**erational **Amp**lifier **I**ntegrated **C**ircuit – **Op-Amp IC**) có hệ số khuếch đại rất lớn, dùng để thực hiện các mạch khuếch đại, các phép tính cộng, trừ, nhân, chia, vi phân tích phân, hoặc để tạo ra các sóng sin, vuông, tam giác…



Hình 1a: Ký hiệu Opamp

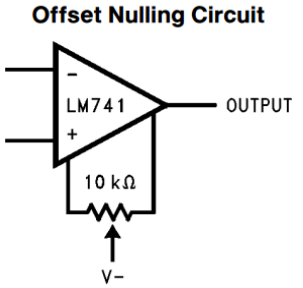


Hình 1b: LM741 thực tế

1.2 Ý nghĩa các chân của Op-Amp

- Chân 1 (Offset Null): chân dùng để điều chỉnh điểm 0 ở ngõ ra.
- Chân 2 (IN-): ngõ vào đảo pha - Inverting Input.
- Chân 3 (IN+): ngõ vào không đảo pha - Non Inverting Input.
- Chân 4 (V_{EE}, GND): cấp điện âm hoặc GND.
- Chân 5 (Offset Null): chân dùng để điều chỉnh điểm 0 ở ngõ ra.
- Chân 6 (Output): ngõ ra.
- Chân 7 (V_{CC}): cấp điện dương.
- Chân 8 (NC): không kết nối - No Connect.

- Nguồn cung cấp tối đa ± 18V.
- Hệ số khuếch đại vòng hở (hay độ lợi áp vòng hở) của Op-Amp rất lớn: A_{V0} = 50.000 ÷ 200.000 lần.
- Chân Offset Null dùng để điều chỉnh điện áp ngõ ra OUTPUT.

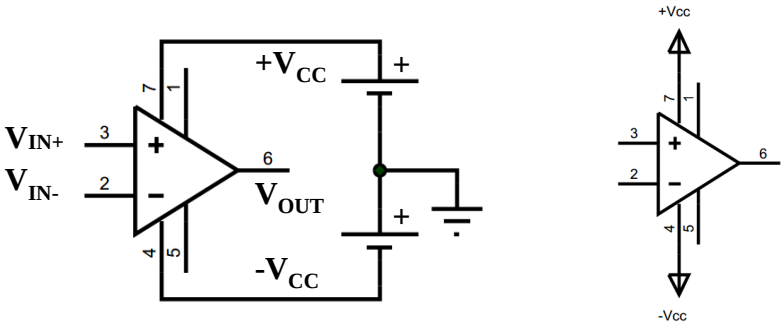


Hình 2: Sử dụng chân Offset Null

2. MẠCH ỨNG DỤNG

2.1 Mạch so sánh

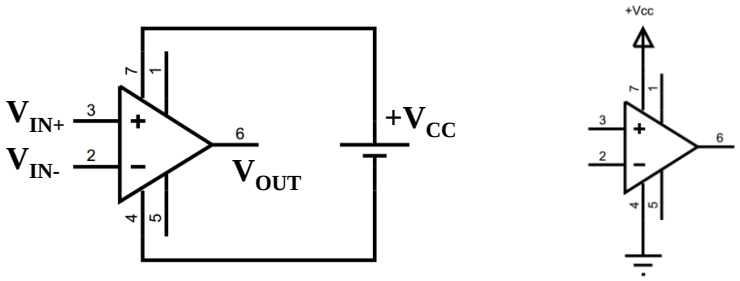
2.1.1 Trường hợp Op-Amp sử dụng nguồn đôi:



Hình 1: mạch so sánh với Op-Amp sử dụng nguồn đôi

- $V_{IN+} > V_{IN-} \rightarrow V_{OUT} = +V_{CC}$
- $V_{IN+} < V_{IN-} \rightarrow V_{OUT} = -V_{CC}$
- $V_{IN+} = V_{IN-} \rightarrow V_{OUT} = 0$

2.1.2 Trường hợp Op-Amp sử dụng nguồn đơn:

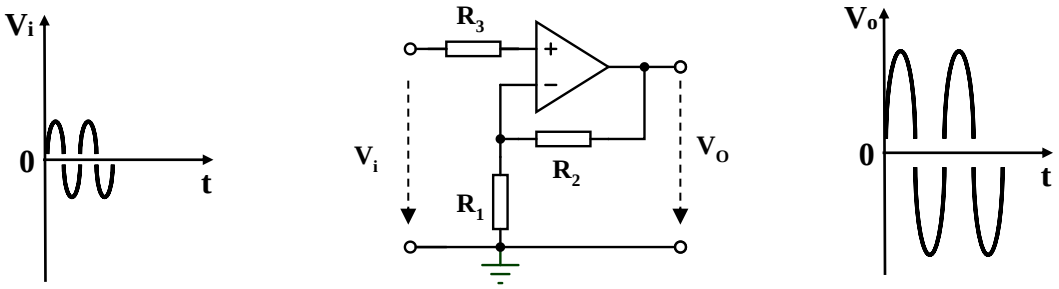


Hình 2: mạch so sánh với Op-Amp sử dụng nguồn đơn

- $V_{IN+} > V_{IN-} \rightarrow V_{OUT} = +V_{CC}$
- $V_{IN+} < V_{IN-} \rightarrow V_{OUT} = 0V$
- $V_{IN+} = V_{IN-} \rightarrow V_{OUT} = ½ (+V_{CC})$

2.2 Mạch khuếch đại

2.2.1 Mạch khuếch đại không đảo pha



Hình 3: Mạch khuếch đại không đảo pha

- Tín hiệu cần khuếch đại V_i được đưa đến ngõ vào không đảo pha V_{IN+}
- Hệ số khuếch đại vòng kín hay còn gọi là độ lợi vòng kín được xác định theo công thức:

$$A_V = \frac{R_1 + R_2}{R_1}$$

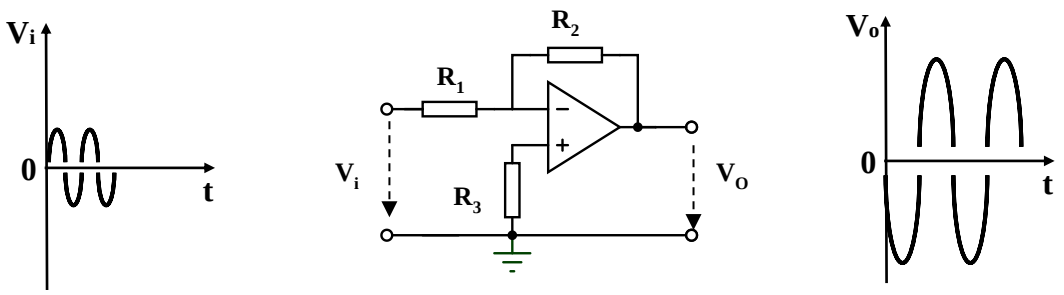
- Tín hiệu ngõ ra V_O đồng pha với tín hiệu ngõ vào V_i và có độ lớn:

$$V_O = A_V.V_i$$

- Điện trở R_3 dùng để cân bằng tổng trở vào cho Op-Amp, thường chọn:

$$R_3 = R_2 // R_1 = \frac{R_1 R_2}{R_1 + R_2}$$

2.2.2 Mạch khuếch đại đảo pha



Hình 4: Mạch khuếch đại đảo pha

- Tín hiệu cần khuếch đại V_i được đưa đến ngõ vào không đảo pha V_{IN-}
- Hệ số khuếch đại vòng kín hay còn gọi là độ lợi vòng kín được xác định theo công thức:

$$\boxed{A_V = -\frac{R_2}{R_1}}$$

- Tín hiệu ngõ ra V_O ngược pha với tín hiệu ngõ vào V_i và có độ lớn:

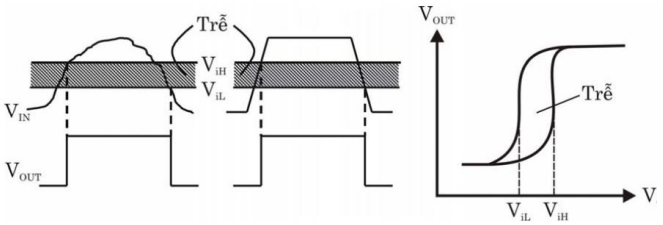
$$\boxed{V_O = A_V.V_i}$$

- Điện trở R_3 dùng để cân bằng tổng trở vào cho Op-Amp, thường chọn:

$$\boxed{R_3 = R_2 // R_1 = \frac{R_1 R_2}{R_1 + R_2}}$$

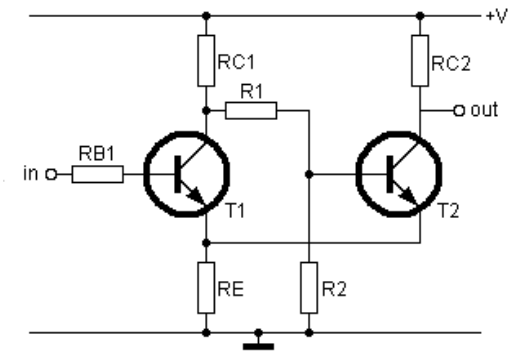
BÀI 4: SCHMITT TRIGGER

Schmitt Trigger làm nhiệm vụ biến đổi một tín hiệu biến thiên chậm hoặc tín hiệu xung với sườn thoai thoải thành tín hiệu xung vuông.



- Trong đó:
  - V_i là điện áp đầu vào.
  - V_o là điện áp đầu ra.
  - V_{iH} là điện áp ngưỡng trên.
  - V_{iL} là điện áp ngưỡng dưới.
- Nguyên lý hoạt động :
  - Giả sử lúc đầu ngõ ra V_o ở mức thấp.
  - Khi điện áp $V_i \leq V_{iH}$ ngõ ra V_o vẫn ở mức thấp.
  - Khi điện áp $V_i = V_{iH}$ thì ngõ ra V_o chuyển lên mức cao.
  - Khi điện áp $V_i > V_{iH}$ thì ngõ ra V_o vẫn ở mức cao.
  - Khi điện áp $V_i \leq V_{iL}$ thì ngõ ra V_o chuyển xuống mức thấp.
  - Miền trễ $\Delta V_i = V_{iH} - V_{iL}$

1. Schmitt Trigger sử dụng BJT



Giả sử điện áp ngõ vào V_{in} = 0V thì T1 ngưng dẫn.
Trạng thái T2 phụ thuộc vào điện trở R_{C1}, R_1, R_2, ba điện trở này tạo ra điện áp phân cức cho T2. Giả sử rằng dòng điện I_{B2} quá nhỏ không đáng kể và hệ số khuếch đại h_{FE} của Transistor lớn hơn 150.

$$V_{B2} = \frac{V_{Supply}}{RC1 + R1 + R2} \times R2$$

Điện áp $V_{E2} = V_{B2} - V_{BE2} = V_{B2} - 0{,}6$
Mạch Schmitt Trigger có 2 transistor mắc chung chân E nên:
$V_E = V_{E1} = V_{E2}$
Khi điện áp V_{in} tăng dần, khi V_{B1} lớn hơn V_{E1} thì T1 bắt đầu dẫn và dòng điện qua R_{C1} sẽ tăng lên nên điện thế chân V_{B2} sẽ giảm. dòng điện qua R_E sẽ được cấp thông qua T1.

$$V_{High} = \frac{V_{Supply}}{RC1 + R1 + R2} \times R2 - 0.61$$

$$V_{Low} = \frac{V_{Supply}}{RC1 + R1 + R2 + RC1 \times \frac{R2}{RE}} \times R + 0.61$$

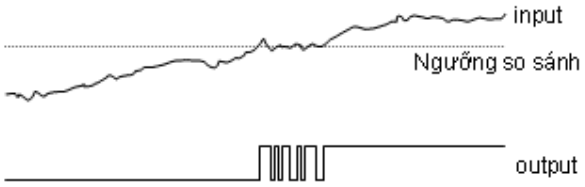
2. Schmitt Trigger sử dụng Op-Amp

- Sử dụng Op-Amp có tốc độ sử lý nhanh như LM111, LM211, LM311 hay cực nhanh LM160, LM260, LM360.

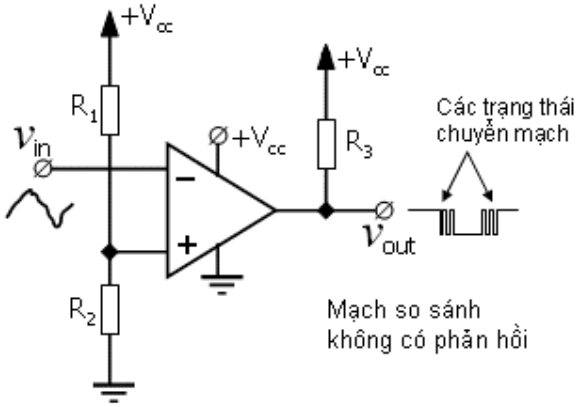
2.1 Mạch Schmitt Trigger

Cho mạch ứng dụng như hình 3.

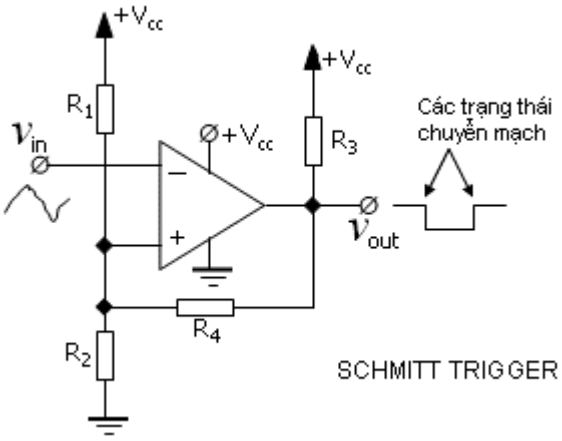
- Trong đó tín hiệu V_{in} đưa đến chân V_{IN+} một mức điện áp chuẩn thông qua điện trở R1 và R2.
- Tín hiệu còn lại đưa vào chân V_{IN-}.
- Ngõ ra V_{out} sẽ thu được điện áp tương ứng với ngõ vào V_i.
- Nhược điểm là tín hiệu ngõ ra bị dao động mỗi khi chuyển trạng thái, điều này rất nguy hiểm cho các mạch phía sau. Để khắc phụ nhược điểm trên người ta sử dụng mạch Schmitt Trigger.

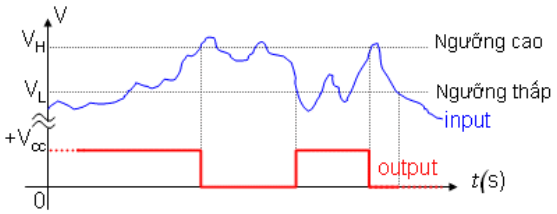


Quan hệ giữa điện áp ngõ ra với ngõ vào



- **Mạch điện Schmitt Trigger**





- Mạch điện tạo ra 2 mức điện áp gọi là điện áp ngưỡng trên **V_H** và điện áp ngưỡng dưới **V_L**
  - $V_{IN+} > V_H \rightarrow V_{OUT} = +V_{CC}$
  - $V_{IN+} < V_L \rightarrow V_{OUT} = 0V$
  - $V_L < V_{IN+} < V_H = V_{IN-} \rightarrow V_{OUT}$ giữ nguyên trạng thái.

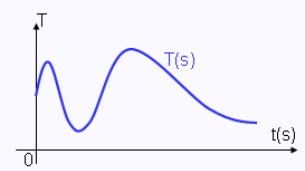
3. Schmitt Trigger sử dụng IC số

- Được xây dựng từ 2 cổng đảo hoặc từ một cổng đệm

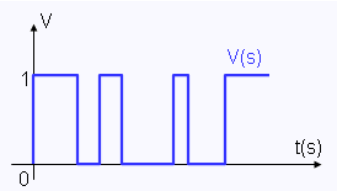
BÀI 5: HỆ THỐNG SỐ

1. Khái niệm về tín hiệu tương tự và tín hiệu số

- ***Tín hiệu tương tự*** (analog) là tín hiệu có giá trị biên độ thay đổi liên tục theo thời gian.



- ***Tín hiệu số*** (digital) là tín hiệu có giá trị biên độ chỉ ở hai trạng thái thấp và cao.



2. Giới thiệu chung về hệ thống số và qui uớc của hệ thống số

2.1 Hệ thống tương tự (Analog System)

- Là thiết bị thao tác các đại lượng vật lý được biểu diễn dưới dạng tương tự. Trong hệ thống tương tự các đại lượng có thể thay đổi trong một khoảng giá trị liên tục. Một vài hệ thống tương tự thường gặp như: bộ khuếch đại âm tần, thiết bị thu phát băng từ,…

2.2 Hệ thống số (digital system)

- Là tập hợp các thiết bị được thiết kế để thao tác thông tin logic hay đại lương vật lý được biểu diễn dưới dạng số, tức là những đại lượng chỉ có giá trị rời rạc. Đây thường là các hệ thống điện tử nhưng đôi khi cũng có hệ thống từ, cơ hay khí nén. Một vài hệ thống kỹ thuật số ta thường gặp là: máy vi tính, máy tính tay, thiết bị nghe nhìn số và hệ thống điện thoại.
- Mạch số có nhiều ưu điểm hơn so với mạch tương tự do đó mạch số ngày càng có nhiều ứng dụng trong ngành điện tử, cũng như trong hầu hết các lĩnh vực khác.

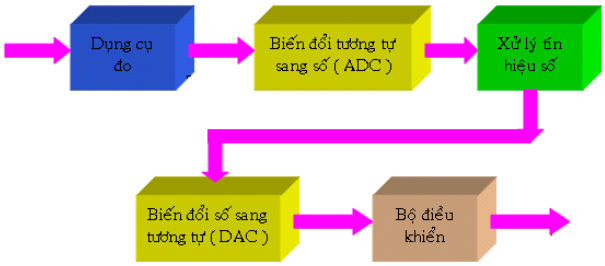
2.3 Nhược điểm của kỹ thuật số

- Hầu hết các đại lượng vật lý có **bản chất tương tự**, và chính những đại lượng này thường là đầu vào và đầu ra được **một hệ thống số theo dõi, xử lý và điều khiển**. Như vậy muốn sử dụng kỹ thuật số khi làm việc với đầu vào và đầu ra dạng tương tự ta phải thực hiện sự chuyển đổi từ dạng tương tự sang dạng số, sau đó xử lý thông tin số từ ngõ vào và chuyển ngược lại từ dạng số đã xử lý sang dạng tương tự, đây là một nhược điểm lớn của kỹ thuật số.

2.4 Để sử dụng được hệ thồng kỹ thuật số đối với đầu vào và đầu ra là dạng tương tự ta cần thực hiện các bước sau đây:

- Biến đổi thông tin đầu vào dạng tương tự thành dạng số.
- Xử lý thông tin số.
- Biến đổi đầu ra dạng số về lại dạng tương tự.

Để hiểu được quá trình chuyển đổi đó ta xem ví dụ minh họa hình 1.3 sau:



Hình 1.3: Sơ đồ khối của hệ thống điều khiển nhiệt độ

- Theo sơ đồ khối ở hình 1.3 thì ***nhiệt độ dưới dạng tương tự*** được đo, sau đó giá trị đo được sẽ được chuyển sang đại lượng số bằng hệ thống ***biến đổi tương tự sang số*** (Analog to Digital Converter – ADC). Đại lượng số này được xử lý qua một mạch số. Đầu ra số được đưa đến bộ ***biến đổi số sang tương tự*** (Digital to Analog Converter – DAC), cuối cùng đầu ra tương tự được đưa vào bộ điều khiển để tiến hành điều chỉnh nhiệt độ.
- Một nhược điểm khác của hệ thống số đó là giá thành cao, ví dụ như truyền hình số sẽ tốn kém hơn truyền hình tương tự.

3. Hệ thống số thập phân *(Decimal Number System)*

- Hệ thống số thập phân có *cơ số* là 10, còn được gọi là *hệ 10* hay *hệ thập phân*.
- Hệ thập phân có 10 *chữ số* (ký hiệu) gồm: 0, 1, 2, 3, 4, 5, 6, 7, 8, 9.
- Hệ thập phân là một *hệ thống số theo vị trí* vì trong đó *giá trị của một chữ số* phụ thuộc vào *trọng số* của nó.
- Ví dụ: số 752.25 ở hệ thập phân ký hiệu 752.25_{10} gồm:

$$\mathbf{752.25_{10} = 700 + 50 + 2 + 0.2 + 0.05 = 7.10^2 + 5.10^1 + 2.10^0 + 2.10^{-1} + 5.10^{-2}}$$

Trong đó:

+ *Trọng số* 10^n thể hiện vị trí của chữ số.
+ Chữ số 7 mang giá trị lớn nhất được gọi là *chữ số có nghĩa lớn nhất* (MSD - *most significant digit)*.
+ Chữ số 2 mang giá trị nhỏ nhất được gọi là *chữ số có nghĩa nhỏ nhất* (LSD - *least significant digit)*.

4. Hê thống số nhị phân *(Binary Number System)*

- Hệ thống số nhị phân có cơ số là 2, còn được gọi là *hệ 2* hay *hệ nhị phân*.
- Hệ nhị phân có 2 chữ số gồm: 0 và 1.
- Hệ nhị phân cũng là một hệ thống số theo vị trí và trọng số của hệ là 2^n.
- Ví dụ:

$$\mathbf{11010011_2 = 1x2^7 + 1x2^6 + 0x2^5 + 1x2^4 + 0x2^3 + 0x2^2 + 1x2^1 + 1x2^0}$$

Bit 7 ……bit 2 bit 1 bit 0

- Trong đó:
  + Mỗi *chữ số* trong số nhị phân gọi là *một bit* và *tên bit* được gắn theo thứ tự từ phải sang trái gồm bit 0; bit 1; bit 2 … bit 7.
  + *Bit 0* có giá trị nhỏ nhất được gọi là bit có nghĩa ít nhất (MSB - *Least Signigicant Bit*).
  + *Bit 7* có giá trị lớn nhất được gọi là bit có nghĩa nhất (MSB -*Most Signigicant Bit*)
- Quy ước:
  + Số nhị phân có 4 bit gọi là 1 nipple.
  + Số nhị phân có 8 bit gọi là 1 byte.
  + Số nhị phân có 16 bit được gọi là word.

+ Số nhị phân có 32 bit được gọi là double word.
+ Số nhị phân có 64 bit được gọi là quadword.
+ $T(tetra)B \xrightarrow{\times 2^{10}} G(giga)B \xrightarrow{\times 2^{10}} M(mega)B \xrightarrow{\times 2^{10}} K(kilo)B \xrightarrow{\times 2^{10}} B(Byte) \xrightarrow{\times 8} bit$

Ví dụ:

01	: 2 bit.
1001	: 4 bit = 1 nipple.
10011010	: 8 bit = 1 byte.
10011010 10011010	: 16 bit = 2 byte = 1 word

5. Chuyển đổi giữa hệ nhị phân và hệ thập phân

5.1 Chuyển đổi số nhị phân sang số thập phân

Giá trị thập phân của số nhị phân tương ứng bằng tổng các tích giữa mỗi *chữ số* (0 hay 1) với *trọng số* của nó.

Ví dụ:

$(1100.1012)_2 = (1 \times 2^3) + (1 \times 2^2) + (0 \times 2^1) + (0 \times 2^0) + (1 \times 2^{-1}) + (0 \times 2^{-2}) + (1 \times 2^{-3})$

$= 8 + 4 + 0 + 0 + 0.5 + 0 + 0.125$

$= (12.125)_{10}$

5.2 Chuyển đổi số thập phân sang số nhị phân

Nguyên tắc đổi một số thập phân bất kỳ thành số nhị phân bằng cách thực hiện phép chia 2 liên tiếp để tính số dư.

Thí dụ: đổi số thập phân là 27 thành số nhị phân ta làm như sau:

Chia liên tiếp cho 2	0	← :2	1	← :2	3	← :2	6	← :2	13	← :2	27
	↓ dư		↓ dư		↓ dư		↓ dư		↓ dư		
Số dư tương ứng	1		1		0		1		1		

Kết quả: $(27)_{10} = (11011)_2$

6. Hệ thống số bát phân *(Octal Number System)*

- Hệ thống số thập phân có *cơ số* là 8, còn được gọi là *hệ 8* hay *hệ bát phân*.
- Hệ bát phân có 8 *chữ số* (ký hiệu) gồm: 0, 1, 2, 3, 4, 5, 6, 7.
- Hệ bát phân có *trọng số* là 8^n.
- Mỗi một chữ số bát phân được biểu diễn bởi một nhóm nhị phân 3 bit.

7. Hệ thống số thập lục phân *(Hexadecimal Number System)*

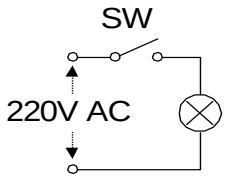
- Hệ thống số thập phân có *cơ số* là 16, còn được gọi là *hệ 16, hệ thập lục phân* hay *hệ hex*.
- Hệ thập lục phân có 16 *chữ số* (ký hiệu) gồm: 0, 1, 2, 3, 4, 5, 6, 7, 9, A, B, C, D, E, F.
- Hệ thập lục phân có *trọng số* là 16^n.
- Mỗi một chữ số thập lục phân được biểu diễn bởi một nhóm nhị phân 4 bit.
  Ví dụ: $1001\ 1110\ 1010\ 0111_B = 9E\ A\ 7_H$
- Khi chuyển đổi số hex ra số nhị phân thì ta làm ngược lại, chuyển đổi từng chữ số của số hex thành các nhóm nhị phân 4 bit có giá trị tương ứng.
  Ví dụ: $6C3D_H = 0110\ 1100\ 0011\ 1101_B$

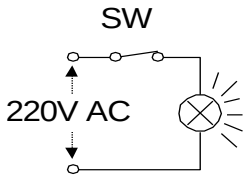
Nhị phân	Thập phân	Thập lục phân
0000	0	0
0001	1	1
0010	2	2
0011	3	3
0100	4	4
0101	5	5
0110	6	6
0111	7	7
1000	8	8
1001	9	9
1010	10	A
1011	11	B
1100	12	C
1101	13	D
1110	14	E
1111	15	F

8. Trạng thái logic 1 và logic 0

Ví dụ 1: Ta thấy một công tắc điện (Switch) có hai trạng thái rõ rệt :

- Công tắc hở: không có dòng điện chạy trong mạch nên đèn tắt (h 1.2a).
- Công tắc đóng: có dòng điện chạy trong mạch nên đèn sáng (hình 1.2b).





Hình 1.2a: Coâng taéc hôû, ñeøn taé Hình 1.2b: Coâng taéc ñoùng, ñeøn sa

Thí dụ 2: Mạch điện tử mà điển hình là transistor cũng có thể có hai trạng thái rõ rệt :

- Trạng thái ngưng dẫn khi $V_{BE} < 0.4V$, $I_B = 0$. Lúc bấy giờ $I_C = 0$, $V_C = V_{CC}$.
- Trạng thái dẫn bão hòa khi $V_{BE} > 0.8V$. Lúc đó $V_C \approx 0V$.

➢ Về luận lý (Logic) thì một ý kiến có thể đúng hay sai, một sự việc có thể có hay không có v.v… Thay vì dùng từ ngữ đúng – sai, có – không , thật – giả, người ta dùng hai trạng thái logic 0 và 1 để diễn tả hai trạng thái của mạch điện.

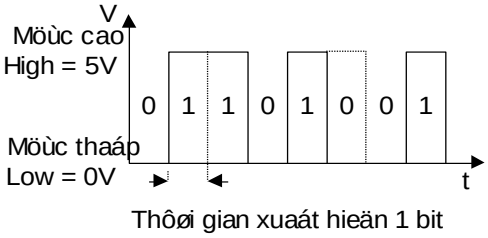
Thí dụ :

- Logic 0 để chỉ trạng thái công tắc hở và Logic 1 để chỉ trạng thái công tắc đóng.
- Logic 0 để chỉ trạng thái đèn tắt và Logic 1 để chỉ trạng thái đèn sáng.

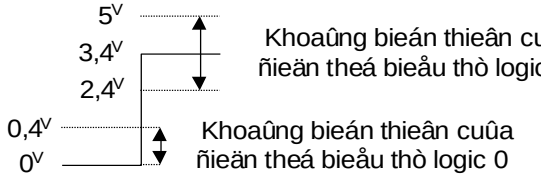
Nhận xét:

+ Hai trạng thái logic 0 và 1 có thể xem như tương ứng như hai chữ số 0 và 1 của hệ thống số nhị phân. Như vậy, mạch điện tử có thể xử lý hệ thống số nhị phân một cách trực tiếp. Một công tắc điện đơn giản không thể có quá 2 trạng thái. Còn hệ thống số thập phân dùng các chữ số từ 0 đến 9 không thể xử lý trực tiếp bằng mạch điện tử vì rất khó khống chế 1 transistor có 10 trạng thái hoạt động rõ rệt.

+ Trong thực tế, mạch điện tử không thể xử lý trực tiếp các con số 0 và 1 mà chỉ có thể xử lý trực tiếp các tín hiệu điện có dạng sóng biểu thị 2 trạng thái logic 0 và 1. Do đó ta phải biểu thị logic 0 bằng một mức điện thế và logic 1 bằng một mức điện thế khác.
+ Khi chọn mức logic 1 (mức cao – high) ở điện thế cao hơn logic 0 (mức thấp – low) ta có hệ thống logic dương (hình 1.3).
+ Khi chọn mức logic 1 (mức cao – high) ở điện thế thấp hơn logic 0 (mức thấp – low) ta có hệ thống logic âm . Logic âm ít được dùng.



Hình 1.3: Logic döông



Hình 1.4: Khoaûng bieán thieân cuûa ñie
theá bieåu thò caùc möùc logic 0 vaø

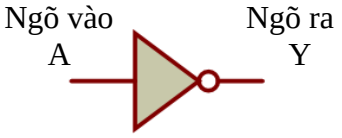
Các mạch logic được phân làm 2 loại: **mạch tổ hợp** (combinational logic circuits) và **mạch tuần tự** (sequential logic circuits).

Mạch tổ hợp là những mạch có trạng thái ngõ ra tại một thời điểm nào đó là xác định và *chỉ phụ thuộc vào các trạng thái ở các ngõ vào* tại thời điểm đó chứ *không phụ thuộc trạng thái ngõ ra ở thời điểm trước đó.* Như vậy mạch tổ hợp không có tính chất nhớ. Mạch tổ hợp được xây dựng từ các cổng logic cơ bản dựa trên các thuật toán logic, ví dụ: hợp kênh, phân kênh, giải mã (decoder), cộng (adder), trừ (subtractor), đơn vị logic số học (Arithmetic logic Unit)…

Mạch tuần tự là những mạch có trạng thái ngõ ra ở một thời điểm nào đó không những *phụ thuộc vào các trạng thái ngõ vào* ở thời điểm đó mà còn *phụ thuộc vào trạng thái ngõ ra ở thời điểm trước đó*. Như vậy mạch tuần tự có tính chất nhớ và được xây dựng từ các phần tử nhớ đó là các Flip-Flop, ví dụ như: bộ ghi dịch, bộ đếm ...

BÀI 6: CÁC CỔNG LOGIC

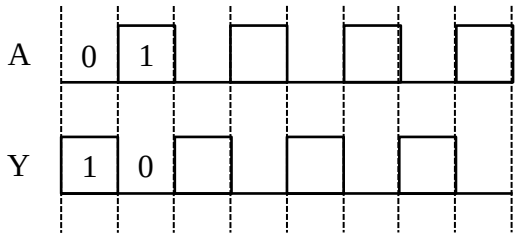
1. Cổng NOT *(cổng Đảo)*



Hình 1 : ký hiệu cổng NOT

Bảng trạng thái	
Ngõ vào	Ngõ ra
A	Y
1	0
0	1

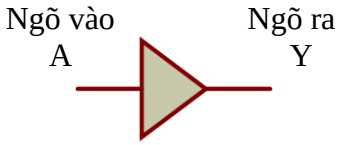
Hình 2 : Bảng trạng thái cổng NOT



Hình 3: Giản đồ thời gian cổng NOT

- Phương trình đại số Boole: $Y = \bar{A}$
- Đặc điểm: Ngõ ra của cổng đảo sẽ có mức logic trái ngược mức logic ngõ vào.
- Một số IC thông dụng: 74LS04, 74LS06: cổng NOT với cực thu hở; 4069.

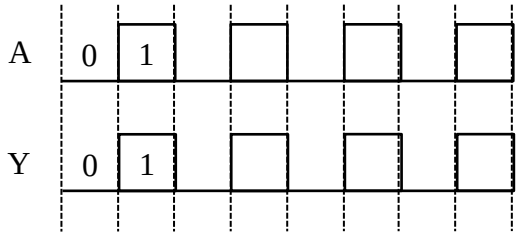
2. Cổng BUFFER *(cổng Đệm)*



Hình 4 : ký hiệu cổng BUFFER

Bảng trạng thái	
Ngõ vào	Ngõ ra
A	Y
1	1
0	0

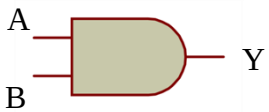
Hình 5 : Bảng trạng thái cổng BUFFER



Hình 6: Giản đồ thời gian cổng BUFFER

- Phương trình đại số Boole: $Y = A$
- Đặc điểm: ngõ ra có mức logic giống ngõ vào.
- Một số IC thông dụng: 74LS07.

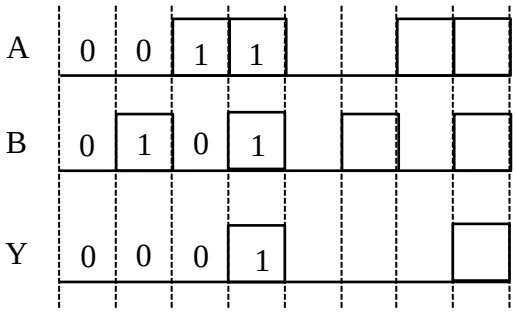
3. Cổng AND *(Cổng Và)*



Hình 7 : ký hiệu cổng AND

Bảng trạng thái		
Ngõ vào		Ngõ ra
A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

Hình 8 : Bảng trạng thái cổng AND



Hình 9: Giản đồ thời gian cổng AND

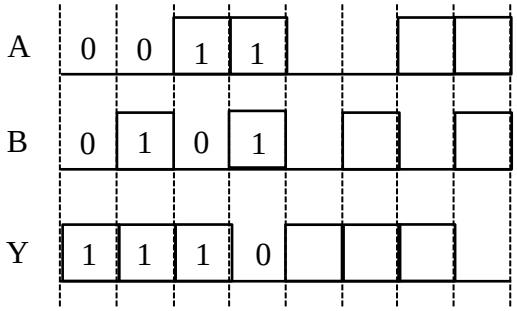
- Phương trình đại số Boole: $Y = A.B$
- Đặc điểm:
  - Ngõ ra của cổng AND sẽ ở mức logic 1 khi tất cả ngõ vào ở mức logic 1
  - Ngõ ra của cổng AND sẽ ở mức logic 0 khi có 1 trong những ngõ vào ở mức logic 0
- Một số IC thông dụng:
  - 74LS08: cổng AND với 2 ngõ vào.
  - 74LS11: cổng AND với 3 ngõ vào.
  - 74LS21: cổng AND với 4 ngõ vào.

4. Cổng NAND *(cổng Và Không)*

Hình 10 : ký hiệu cổng NAND

Bảng trạng thái		
Ngõ vào		Ngõ ra
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

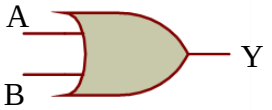
Hình 11 : Bảng trạng thái cổng NAND



Hình 12: Giản đồ thời gian cổng NAND

- Phương trình đại số Boole: $Y = \overline{A.B}$
- Đặc điểm:
  - Ngõ ra của cổng NAND sẽ ở mức logic 0 khi tất cả ngõ vào ở mức logic 1.
  - Ngõ ra của cổng NAND sẽ ở mức logic 1 khi có bất kỳ ngõ vào ở mức logic 0.
- Một số IC thông dụng:
  - 74LS00: cổng NAND với 2 ngõ vào.
  - 74LS10: cổng NAND với 3 ngõ vào, 74LS12: cổng NAND với 3 ngõ vào cực thu hở;
  - 74LS22: cổng NAND với 4 ngõ vào cực thu hở.
  - 74LS30: cổng NAND với 8 ngõ vào.

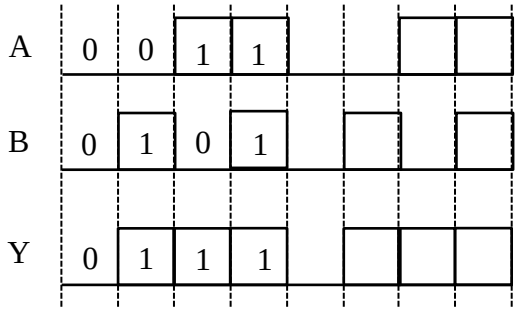
5. Cổng OR *(cổng Hoặc)*



Hình 13 : ký hiệu cổng OR

Bảng trạng thái		
Ngõ vào		Ngõ ra
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

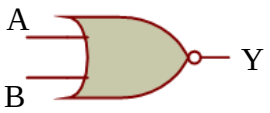
Hình 14 : Bảng trạng thái cổng OR



Hình 15: Giản đồ thời gian cổng OR

- Phương trình đại số Boole: $Y = A + B$
- Đặc điểm: Ngõ ra của cổng đảo sẽ có mức logic trái ngược mức logic ngõ vào.
- Một số IC thông dụng: 74LS32: cổng OR với 2 ngõ vào.

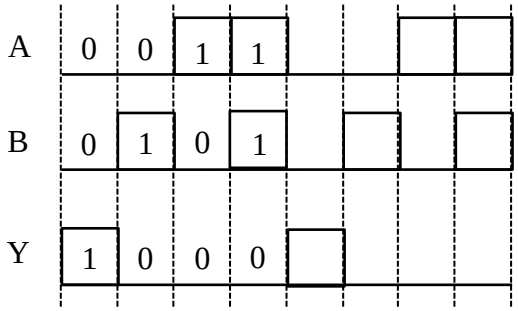
6. Cổng NOR *(cổng Hoặc không)*



Hình 16 : ký hiệu cổng NOR

Bảng trạng thái		
Ngõ vào		Ngõ ra
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

Hình 17 : Bảng trạng thái cổng NOR

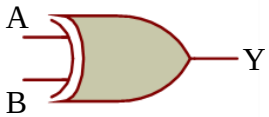


Hình 18: Giản đồ thời gian cổng NOR

- Phương trình đại số Boole: $Y = \overline{A + B}$
- Đặc điểm:
  - Ngõ ra của cổng NOR sẽ ở mức logic 0 khi bất kỳ ngõ vào nào ở mức logic 1
  - Ngõ ra của cổng NOR sẽ ở mức logic 1 khi bất kỳ ngõ vào nào ở mức logic 0
- Một số IC thông dụng:
  - 74LS02: cổng NOR với 2 ngõ vào.
  - 74LS33: cổng NOR với 2 ngõ vào cực thu hở.
  - 74LS25: cổng NOR với 4 ngõ vào.
  - 74LS27: cổng NOR với 3 ngõ vào.

7. Cổng EXOR *(cổng Loại trừ - Exclusive Or)*

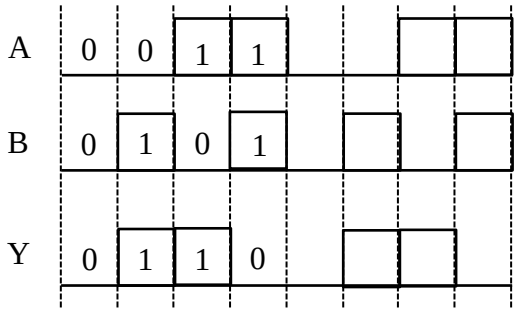
- Ký hiệu – Bảng trạng thái



Hình 19 : ký hiệu cổng EXOR

Bảng trạng thái		
Ngõ vào		Ngõ ra
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

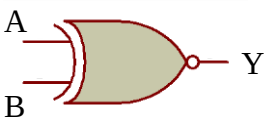
Hình 20 : Bảng trạng thái cổng EXOR



Hình 21: Giản đồ thời gian cổng EXOR

- Phương trình đại số Boole: $Y = \bar{A}.B + A\bar{B} = A \oplus B$
- Đặc điểm: ngõ ra chỉ ở mức logic cao khi các ngõ vào khác nhau.
- Một số IC thông dụng: 74LS86.

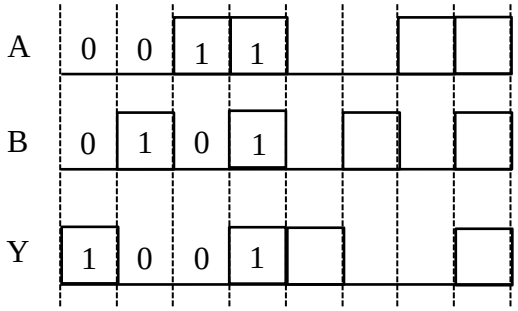
8. Cổng EXNOR *(Cổng Loại trừ không - Exclusive Not Or)*



Hình 22 : ký hiệu cổng EXNOR

Bảng trạng thái		
Ngõ vào		Ngõ ra
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

Hình 23 : Bảng trạng thái cổng EXNOR



Hình 24: Giản đồ thời gian cổng EXNOR

- Phương trình đại số Boole: $Y = \overline{\bar{A}.B + A\bar{B}} = \overline{A \oplus B}$
- Đặc điểm: ngõ ra chỉ ở mức logic cao khi các ngõ vào giống nhau.
- Một số IC thông dụng: 74LS266.

BÀI 7: MẠCH SỐ HỌC VÀ ALU

(Arithmetic circuits)

1. Cộng nhị phân *(Binary Addition)*

1.1 Nguyên tắc cộng nhị phân

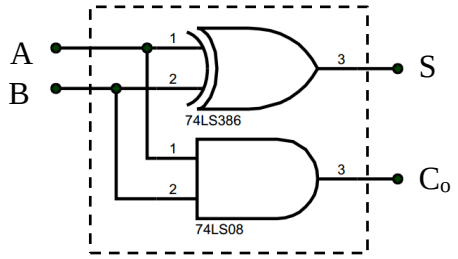
- Nguyên tắc 1: 0 + 0 = 0
- Nguyên tắc 2: 0 + 1 = 1
- Nguyên tắc 3: 1 + 0 = 1
- Nguyên tắc 4: 1 + 1 = 0 và nhớ 1 → 1 + 1 = 10
- Nguyên tắc 5: 1 +1 + 1 = 1 và nhớ 1 → 1 + 1 = 11

1.2 Tổng bán phần (Half Adder, viết tắc HA)

Hình 1 : ký hiệu HA

Bảng trạng thái			
Ngõ vào		Ngõ ra	
A	B	S	C_0
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

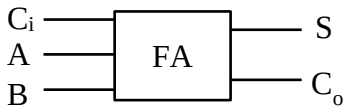
Hình 2 : Bảng trạng thái HA



Hình 3: Cấu tạo HA

- Trong đó: A *(Adder)*: cộng và C *(Carry in)*: nhớ.
- Hàm logic: $S = A \oplus B$
- Nhớ : $C_0 = A.B$

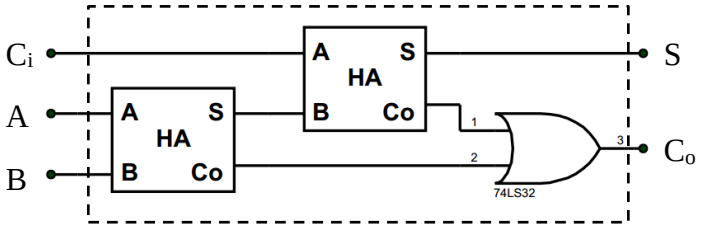
1.3 Mạch tổng toàn phần *(Full Adder, viết tắt FA)*



Hình 4 : ký hiệu FA

Bảng trạng thái				
Ngõ vào			Ngõ ra	
A	B	C_i	S	C_0
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

Hình 5 : Bảng trạng thái FA



Hình 6 : Cấu tạo FA

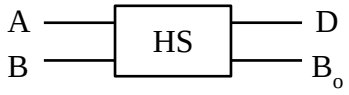
- Hàm logic: $S = A \oplus B \oplus C_i$
- Nhớ : $C_0 = A.B + AC_i + BC_i$
- Đặc điểm: nếu C_i = 0 (nối đất) thì FA trở về mạch HA.

2. Trừ nhị phân *(Binary Subtraction)*

2.1 Nguyên tắc trừ nhị phân

- Nguyên tắc 1: 0 – 0 = 0
- Nguyên tắc 2: **0 – 1 = 1 và mượn 1**
- Nguyên tắc 3: 1 – 0 = 1
- Nguyên tắc 4: 1 – 1 = 0

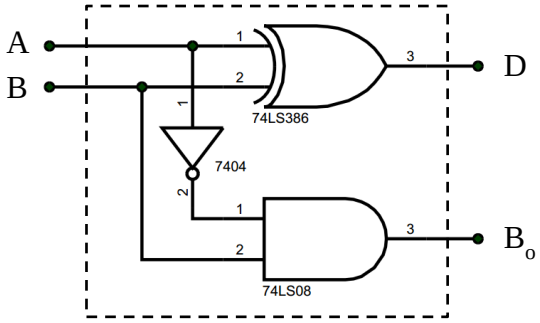
2.2 Hiệu bán phần *(Half Subtractor, viết tắc HS)*



Hình 6 : ký hiệu HS

Bảng trạng thái			
Ngõ vào		Ngõ ra	
A	B	D	B_0
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

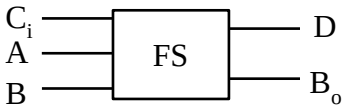
Hình 7 : Bảng trạng thái HS



Hình 8 : Cấu tạo HS

- Trong đó: D (Difference): hiệu và B (Borrow out): mượn.
- Hàm logic: $D = A \oplus B$
- Nhớ : $B_0 = \overline{A}B$

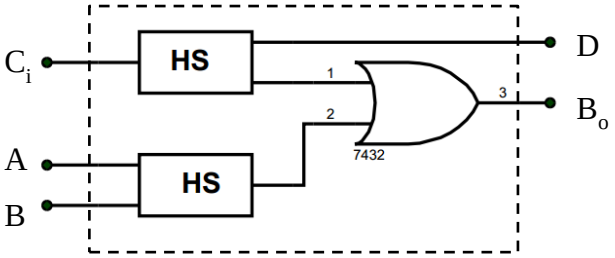
2.3 Hiệu toàn phần (Full Subtractor, viết tắt FS)



Hình 9 : ký hiệu FS

Bảng trạng thái				
Ngõ vào			Ngõ ra	
A	B	B_i	A	B_0
0	0	0	0	0
0	1	0	1	1
1	0	0	1	0
1	1	0	0	0
0	0	1	1	1
0	1	1	0	1
1	0	1	0	0
1	1	1	1	1

Hình 10 : Bảng trạng thái FS

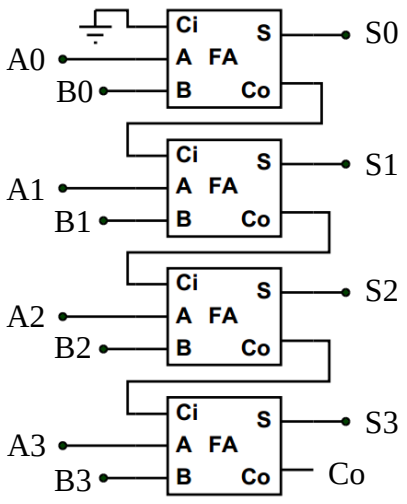


Hình 11 : Cấu tạo FS

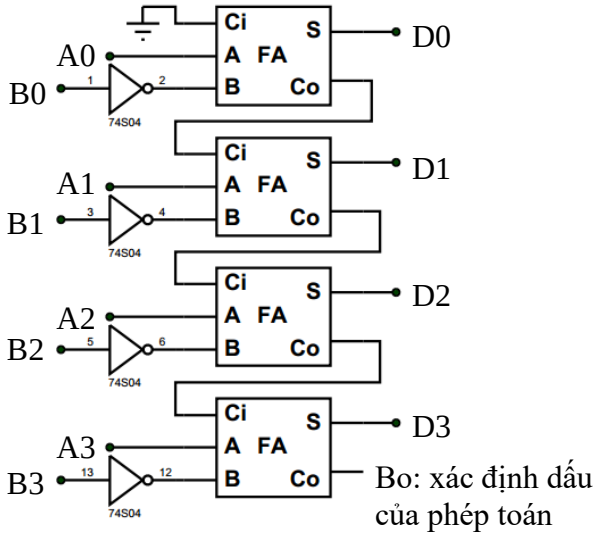
- Hàm logic: $S = A \oplus B \oplus B_i$
- Nhớ : $B_0 = \bar{A}.B + \bar{A}B_i + BB_i$

3. Mạch tổng hoặc hiệu 2 số nhị phân n bit (n bit adder or subtractor)

2 số nhị phân 4 bit với A (A_3 A_2 A_1 A_0) và B (B_3 B_2 B_1 B_0)

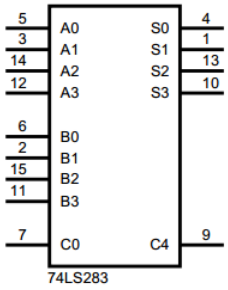


Hình 12 : Tổng 2 số nhị phân 4 bit



Hình 13 : Hiệu 2 số nhị phân 4 bit

4. Vi mạch 74LS243



Trong đó:

Số nhị phân 4 bit A: $A_3A_2A_1A_0$

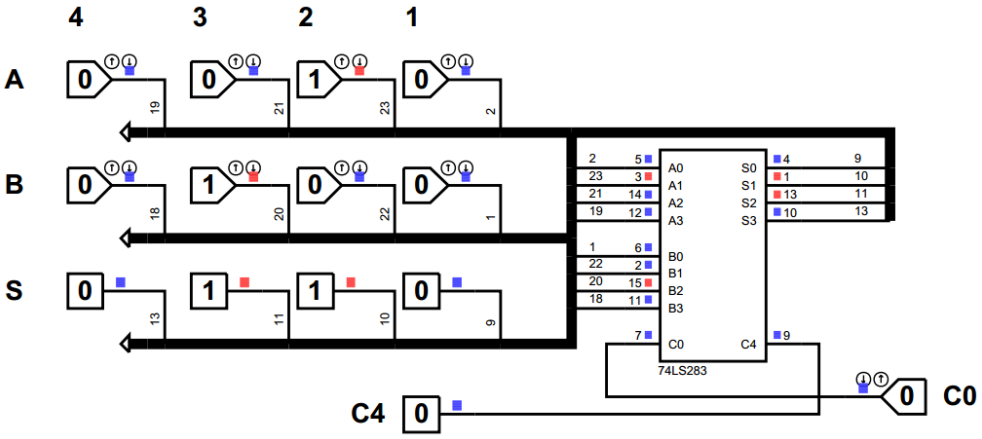
Số nhị phân 4 bit B: $B_3B_2B_1B_0$

Số nhị phân 4 bit S: $S_3S_2S_1S_0$

C_o: bit nhớ ngõ vào.

C_4: bit nhớ ngõ ra.

Hình14 : Vi mạch 74LS243



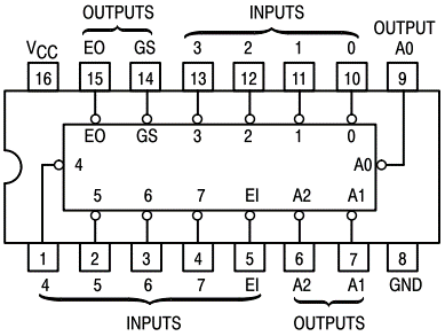
Hình15 : Sơ đồ nguyên lý mạch cộng 2 số nhị phân 4 bit

BÀI 8: MÃ HÓA VÀ GIẢI MÃ

(Coder and Decoder)

1. Mã hóa (Encoder)

- Vi mạch SN74LS148 là vi mạch mã hóa ưu tiên.
- Ký hiệu – Bảng trạng thái



- EI – Enable Input: cho phép IC hoạt động.
- E0 – Enable Output: cho phép ngõ ra hoạt động.
- GS – Group Signal: khi tất cả ngõ ra có trở kháng cao
- INPUT: ngõ vào.
- OUTPUT: ngõ ra.

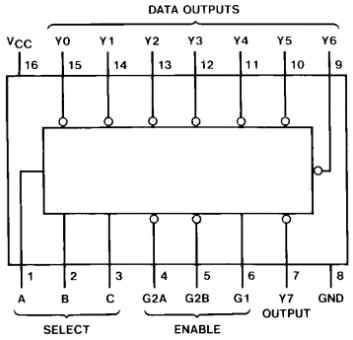
Bảng trạng thái													
Ngõ vào									Ngõ ra				
El	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
1	X	X	X	X	X	X	X	X	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	X	X	X	X	X	X	X	0	0	0	0	0	1
0	X	X	X	X	X	X	0	1	0	0	1	0	1
0	X	X	X	X	X	0	1	1	0	1	0	0	1
0	X	X	X	X	0	1	1	1	0	1	1	0	1
0	X	X	X	0	1	1	1	1	1	0	0	0	1
0	X	X	0	1	1	1	1	1	1	0	1	0	1
0	X	0	1	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1
1: Mức logic cao. 0: Mức logic thấp. X: không quan tâm													

- Đặc điểm:
  - Chân EO ở mức 0 khi các ngõ vào không hoạt động.
  - Chân EI ở mức 1 khi các ngõ vào không hoạt động.
- Một số IC thông dụng: 74LS348; HCF4532B.

2. Giải mã (Decoder)

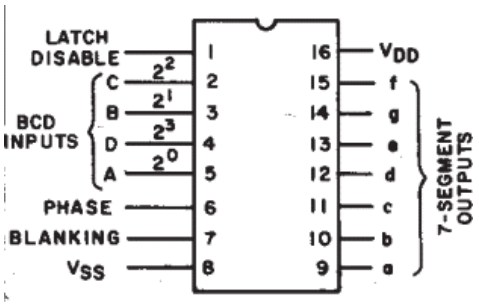
2.1 Giải mã 3 sang 8

- Vi mạch SN74LS138 là vi mạch giải mã.
- Ký hiệu – Bảng trạng thái



BẢNG TRẠNG THÁI												
Ngõ vào					Ngõ ra							
Cho phép		Chọn lựa										
G1	G2	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	1	X	X	X	1	1	1	1	1	1	1	1
0	X	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0
G2 = G2A + G2B												

2.2 Giải mã BCD sang Led 7 đoạn



BẢNG TRẠNG THÁI														
Ngõ vào							Ngõ ra							Display
LD	BI	Ph	D	C	B	A	a	b	c	d	e	f	g	
x	1	0	x	x	x	x	0	0	0	0	0	0	0	
1	0	0	0	0	0	0	1	1	1	1	1	1	0	0
1	0	0	0	0	0	1	0	1	1	0	0	0	0	1
1	0	0	0	0	1	0	1	1	0	1	1	0	1	2
1	0	0	0	0	1	1	1	1	1	1	0	0	1	3
1	0	0	0	1	0	0	0	1	1	0	0	1	1	4
1	0	0	0	1	0	1	1	0	1	1	0	1	1	5
1	0	0	0	1	1	0	1	0	1	1	1	1	1	6
1	0	0	0	1	1	1	1	1	1	0	0	0	0	7
1	0	0	1	0	0	0	1	1	1	1	1	1	1	8
1	0	0	1	0	0	1	1	1	1	1	0	1	1	9
1	0	0	1	0	1	0	0	0	0	0	0	0	0	Blank
1	0	0	1	0	1	1	0	0	0	0	0	0	0	Blank
1	0	0	1	1	0	0	0	0	0	0	0	0	0	Blank
1	0	0	1	1	0	1	0	0	0	0	0	0	0	Blank
1	0	0	1	1	1	0	0	0	0	0	0	0	0	Blank
1	0	0	1	1	1	1	0	0	0	0	0	0	0	Blank
0	0	0	X	X	X	X	**							**
+	+	1	+											

X không quan tâm.
Ph = 0: LED 7 đoạn Anode chung.
Ph = 1: LED 7 đoạn Kathode chung.

BÀI 9: FLIP – FLOP

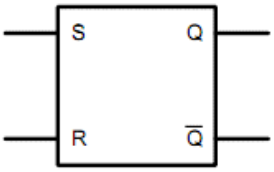
Flip-Flop thuộc loại mạch tuần tự nên có đặc điểm sau:

- Trạng thái ngõ ra thay đổi theo tổ hợp logic của các trạng thái ngõ vào và xung nhịp (Clock Pulse).
- Trạng thái ngõ ra còn thuộc vào trạng thái ngõ ra trước đó.

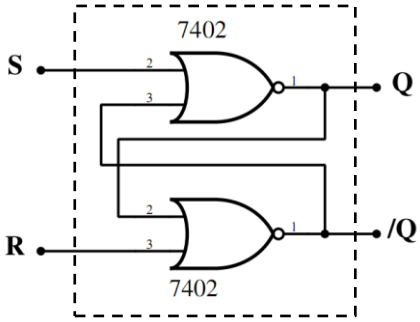
1. Flip-Flop RS

1.1 Flip-Flop RS không đồng bộ

1.1.1 Flip-Flop RS không đồng bộ có ngõ vào **tác động mức cao**



Hình 1: Ký hiệu FF RS không đồng bộ có ngõ vào tác động mức cao



Hình 2: Cấu tạo FF RS không đồng bộ có ngõ vào tác động mức cao

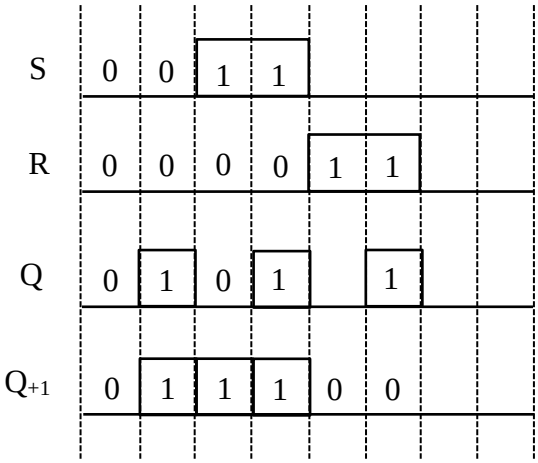
Trong đó:

- S (Set hay Preset): ngõ vào xác lập.
- R (Reset hay Clear): ngõ vào xóa.
- Q: ngõ ra không đảo.
- $\bar{Q}$: ngõ ra đảo.

Bảng trạng thái					
Trạng thái hiện tại			Trạng thái kế tiếp		Ghi chú
Ngõ vào		Ngõ ra	Ngõ ra		
S	**R**	**Q**	Q_{+1}	$\overline{Q_{+1}}$	
0	0	Q	Q	$\bar{Q}$	Không đổi
0	1	x	0	1	Reset
1	0	x	1	0	Set
1	1	x	Không xác định		Cấm

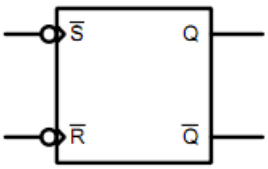
x: không quan tâm 0 hay 1.

Hình 3: Bảng trạng thái Flip-Flop RS không đồng bộ có ngõ vào tác động mức cao



Hình 4: Giản đồ thời gian FF RS không đồng bộ có ngõ vào tác động mức cao

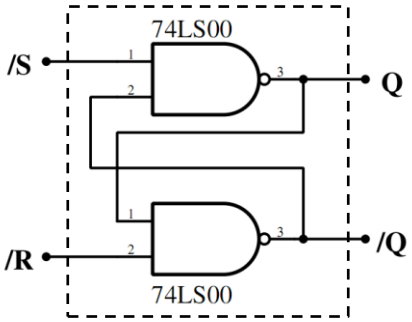
1.1.2 Flip-Flop RS không đồng bộ có ngõ vào **tác động mức thấp**



Hình 5: Ký hiệu FF RS không đồng bộ có ngõ vào tác động mức thấp

Trong đó:

- /S (Set hay Preset): ngõ vào xác lập
- /R (Reset hay Clear): ngõ vào xóa
- Q: ngõ ra không đảo
- $\bar{Q}$: ngõ ra đảo



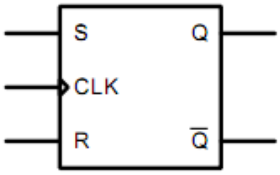
Hình 6: Cấu tạo FF RS không đồng bộ có ngõ vào tác động mức thấp

Bảng trạng thái					
Trạng thái hiện tại			Trạng thái kế tiếp		Ghi chú
Ngõ vào		Ngõ ra	Ngõ ra		
$\overline{S}$	$\overline{R}$	Q	Q_{+1}	$\overline{Q_{+1}}$	
0	0	x	Không xác định		Cấm
0	1	x	1	0	Set
1	0	x	0	1	Reset
1	1	Q	Q	$\overline{Q}$	Không đổi

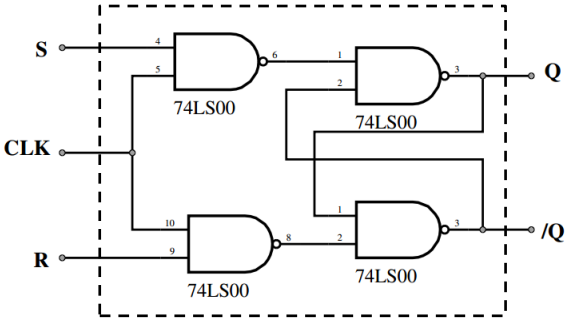
Hình 7: Bảng trạng thái FF RS không đồng bộ có ngõ vào tác động mức thấp

1.2 Flip-Flop RS đồng bộ

1.2.1 Flip-Flop RS đồng bộ có ngõ vào xung CLK tác động mức cao



Hình 8: Ký hiệu FF RS đồng bộ có ngõ vào xung CLK tác động mức cao

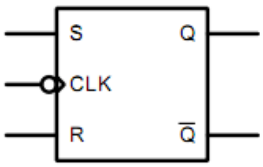


Hình 9: Cấu tạo FF RS đồng bộ có ngõ vào xung CLK tác động mức cao

Bảng trạng thái						
Trạng thái hiện tại			Xung	Trạng thái kế tiếp		Ghi chú
Ngõ vào		Ngõ ra		Ngõ ra		
S	R	Q	CLK	Q_{+1}	$\overline{Q_{+1}}$	
x	x	Q	↓	Q	$\overline{Q}$	Không đổi
0	0	Q	↑	Q	$\overline{Q}$	
0	1	x	↑	0	1	Reset
1	0	x	↑	1	0	Set
1	1	x	↑	Không xác định		Cấm

Hình 10: Bảng trạng thái FF RS đồng bộ có ngõ vào xung CLK tác động mức cao

1.2.2 Flip-Flop RS đồng bộ có ngõ vào xung CLK tác động mức thấp

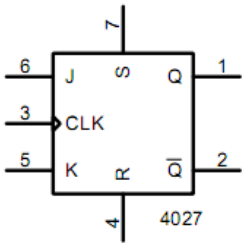


Hình 11: Ký hiệu FF RS đồng bộ có ngõ vào xung CLK tác động mức thấp

Bảng trạng thái						
Trạng thái hiện tại			Xung	Trạng thái kế tiếp		Ghi chú
Ngõ vào		Ngõ ra		Ngõ ra		
S	R	Q	CLK	Q_{+1}	$\overline{Q_{+1}}$	
x	x	Q	↑	Q	$\overline{Q}$	Không đổi
0	0	Q	↓	Q	$\overline{Q}$	
0	1	x	↓	0	1	Reset
1	0	x	↓	1	0	Set
1	1	x	↓	Không xác định		Cấm

Hình 12: Bảng trạng thái FF RS đồng bộ có ngõ vào xung CLK tác động mức thấp

2. Flip-Flop JK



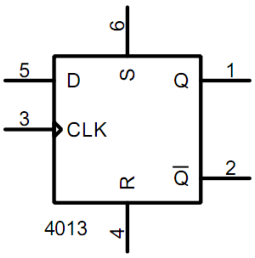
Hình 13: Ký hiệu FF JK

Bảng trạng thái									
STT	Trạng thái hiện tại					Xung	Trạng thái kế tiếp		Ghi chú
	Ngõ vào				Ngõ ra		Ngõ ra		
	S	R	J	K	Q	CLK	Q_{+1}	$\overline{Q_{+1}}$	
1	0	1	x	x	x	x	0	1	Reset
2	1	0	x	x	x	x	1	0	Set
3	1	1	x	x	x	x	1	1	
4	0	0	x	x	Q	↓	Q	$\bar{Q}$	Không đổi
5	0	0	0	0	x	↑	Q	$\bar{Q}$	Không đổi
6			0	1	x		0	1	
7			1	0	x		1	0	
8			1	1	Q		$\bar{Q}$	Q	Đảo trạng thái

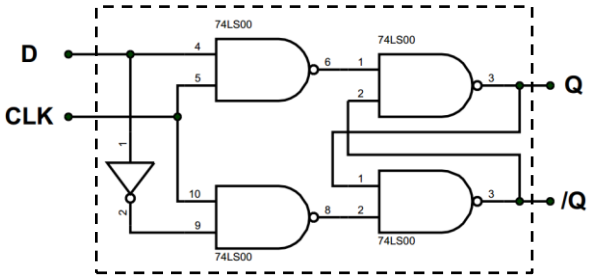
Hình 14: Bảng trạng thái FF JK

3. Flip-Flop D *(Flip-Flop Data)*

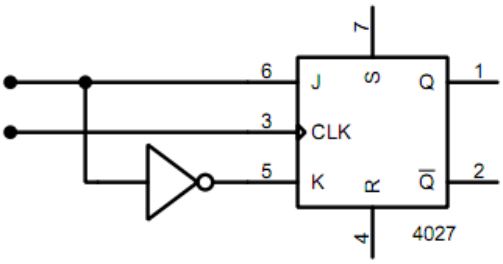
D FF được dùng để lưu trữ thông tin có dung lượng 1 bit.



Hình 15: ký hiệu FF D



Hình 16: Cấu tạo FF D

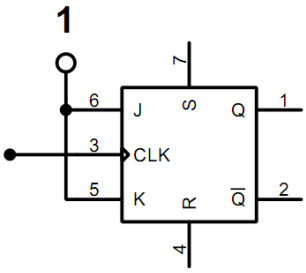


Hình 17: Chuyển đổi FF JK thành FF D

Bảng trạng thái					
CLK	R	S	D	Q	$\bar{Q}$
x	1	0	x	0	1
x	0	1	x	1	0
x	1	1	x	1	1
↓	0	0	x	Không đổi	
↑	0	0	0	0	1
↑	0	0	1	1	0

Hình 18: bảng trạng thái FF D

4. Flip-Flop T*(FF Toggle)*



Hình 19: Ký hiệu FF T

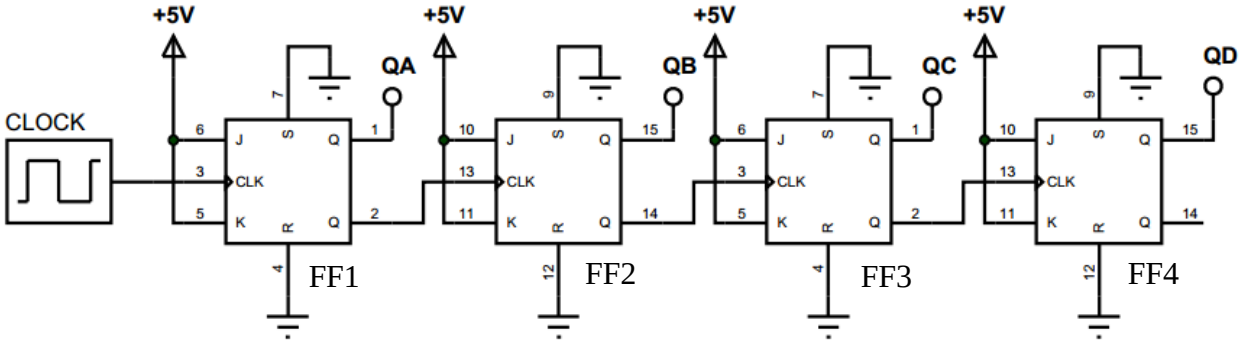
Bảng trạng thái					
CLK	R	S	T	Q	$\bar{Q}$
x	1	0	x	0	1
x	0	1	x	1	0
x	1	1	x	1	1
↓	0	0	x	Không đổi	
↑	0	0	0		
↑	0	0	1	Đảo trạng thái	

Hình 20: Bảng trạng thái FF T

BÀI 10: MẠCH ĐẾM

1. Mạch đếm không đồng bộ *(Mạch đếm nối tiếp)*

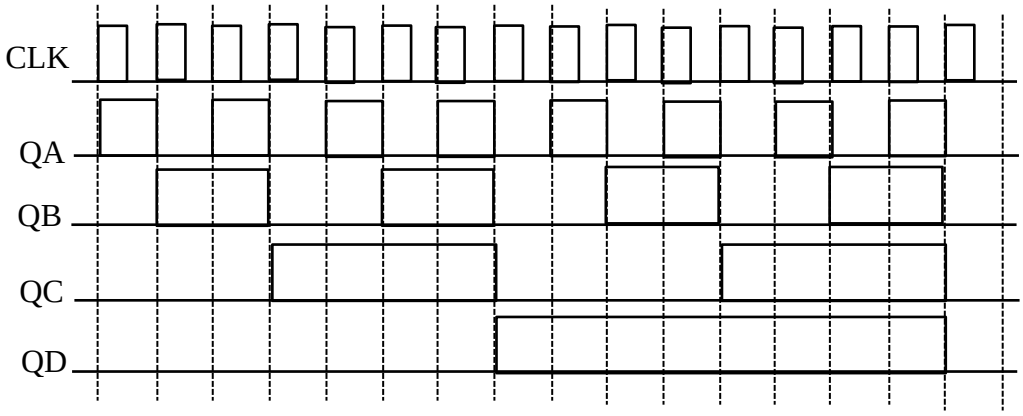
1.1 Mạch đếm lên



Hình 1: sơ đồ nguyên lý mạch đếm lên hệ nhị phân 4 bit

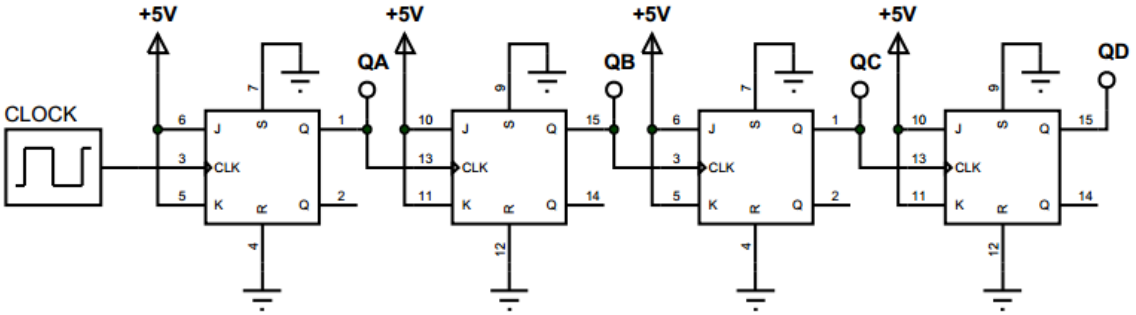
Bảng trạng thái									
STT	Ngõ vào				CLK	Ngõ ra			
	J_{1234}	K_{1234}	S_{1234}	R_{1234}		Q_D	Q_C	Q_B	Q_A
0	1	1	0	0	0	0	0	0	0
1	1	1	0	0	↑	0	0	0	1
2	1	1	0	0	↑	0	0	1	0
3	1	1	0	0	↑	0	0	1	1
4	1	1	0	0	↑	0	1	0	0
5	1	1	0	0	↑	0	1	0	1
6	1	1	0	0	↑	0	1	1	0
7	1	1	0	0	↑	0	1	1	1
8	1	1	0	0	↑	1	0	0	0
9	1	1	0	0	↑	1	0	0	1
10	1	1	0	0	↑	1	0	1	0
11	1	1	0	0	↑	1	0	1	1
12	1	1	0	0	↑	1	1	0	0
13	1	1	0	0	↑	1	1	0	1
14	1	1	0	0	↑	1	1	1	0
15	1	1	0	0	↑	1	1	1	1
16	1	1	0	0	↑	0	0	0	0

Hình 2: Bảng trạng thái của mạch đếm lên hệ nhị phân 4 bit



Hình 3: giản đồ thời gian xung của mạch đếm lên hệ nhị phân 4 bit

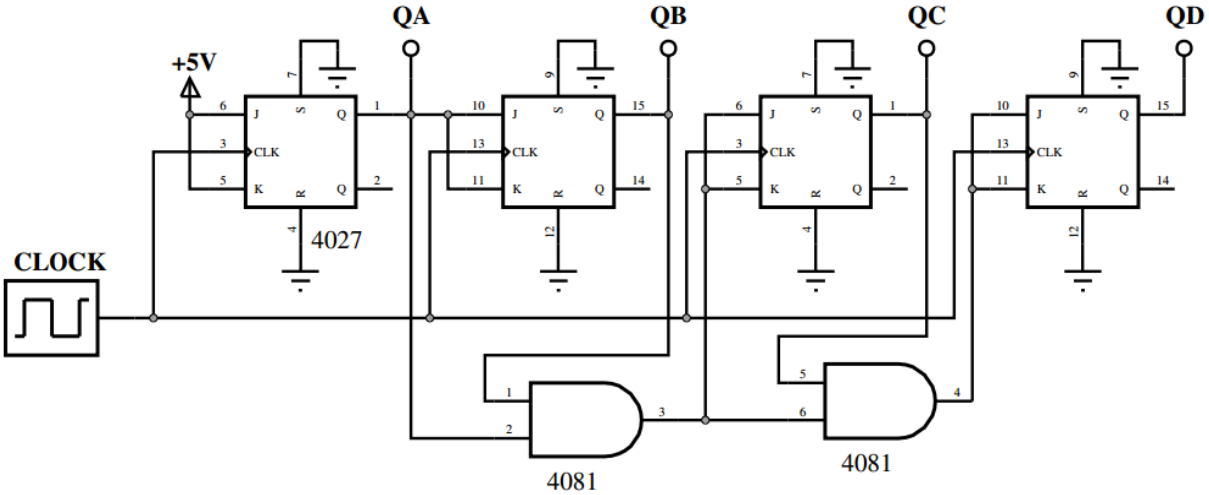
1.2 Mạch đếm xuống



Hình 4: sơ đồ nguyên lý mạch đếm xuống hệ nhị phân 4 bit

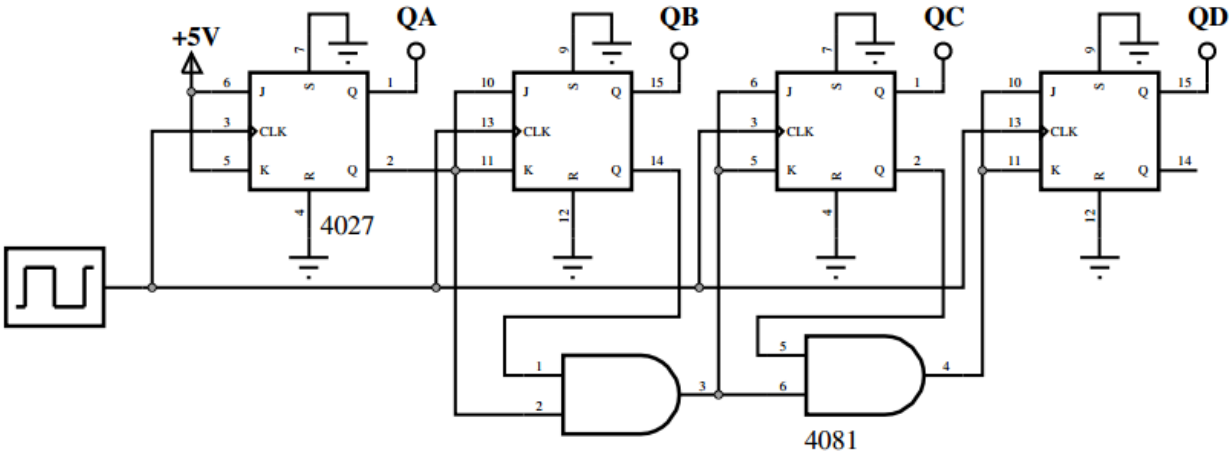
2. Mạch đếm đồng bộ *(Mạch đếm song song)*

2.1 Mạch đếm lên



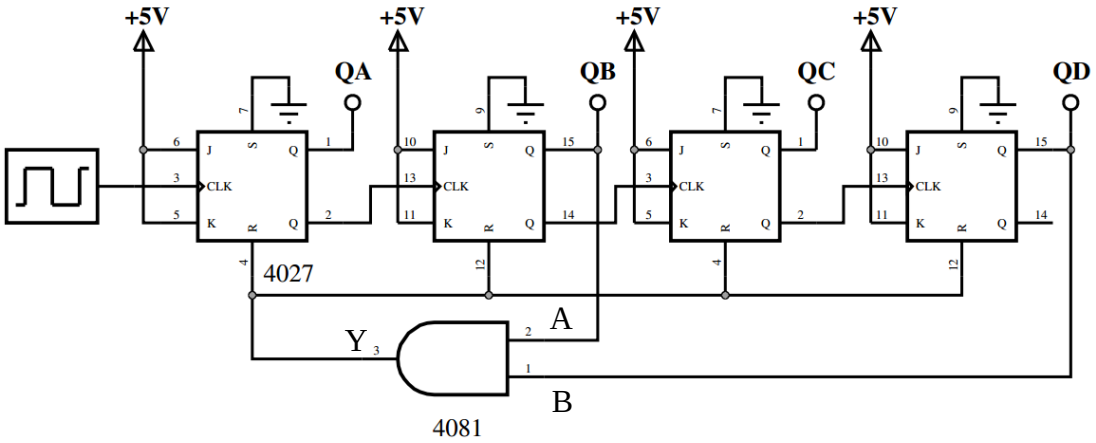
Hình 5: sơ đồ nguyên lý mạch đếm xuống hệ nhị phân 4 bit

2.2 Mạch đếm xuống



Hình 6: sơ đồ nguyên lý mạch đếm xuống hệ nhị phân 4 bit

3. Mạch đếm thập phân

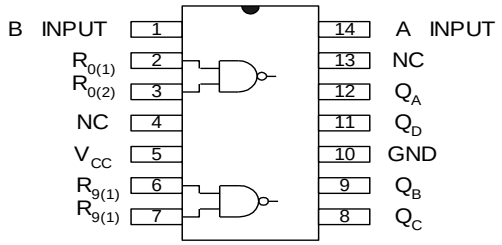


Hình7: sơ đồ nguyên lý mạch đếm xuống hệ nhị phân 4 bit

Bảng trạng thái											
STT	Ngõ vào						CLK	Ngõ ra			
	J_{1234}	K_{1234}	S_{1234}	Y = R_{1234}	A = Q_B	B = Q_D		Q_D	Q_C	Q_B	Q_A
0	1	1	0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	↑	0	0	0	1
2	1	1	0	0	0	1	↑	0	0	1	0
3	1	1	0	0	0	1	↑	0	0	1	1
4	1	1	0	0	0	0	↑	0	1	0	0
5	1	1	0	0	0	0	↑	0	1	0	1
6	1	1	0	0	0	1	↑	0	1	1	0
7	1	1	0	0	0	1	↑	0	1	1	1
8	1	1	0	0	1	0	↑	1	0	0	0
9	1	1	0	0	1	0	↑	1	0	0	1
10	1	1	0	1	1	1	↑	1	0	1	0
11	1	1	0	0	0	0	↑	0	0	0	0

Hình 8: Bảng trạng thái của mạch đếm lên thập phân

4. Khảo sát vi mạch 74LS90



SN7490

$R_{0(1)}$	$R_{0(2)}$	$R_{9(1)}$	$R_{9(2)}$	Q_D	Q_C	Q_B	Q_A	
1	1	0	X	0	0	0	0	Xoá
1	1	X	0	0	0	0	0	Xoá
X	X	1	1	1	0	0	1	Đặt 9
X	0	X	0	ĐẾM				
0	X	0	X	ĐẾM				
X	0	0	X	ĐẾM				
0	X	X	O	ĐẾM				

Chức năng các chân:

A	Input	R_0	Ngõ vào xóa
B	Input	R_9	Ngõ vào đặt
V_{CC}	Nguồn +5V	$Q_A \rightarrow Q_D$	Ngõ ra mã BC
GND	mass	NC	Không kết nối

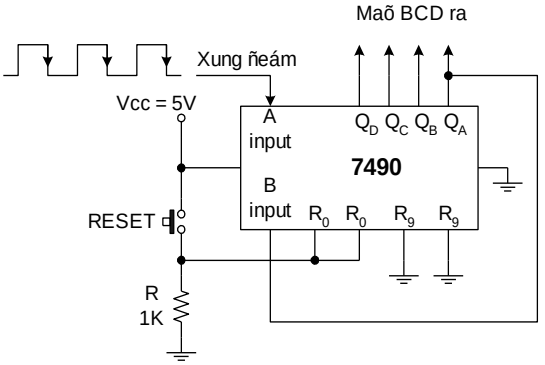
Lưu ý: 7490 tích cực ở cạnh xuống của xung.

Qua bảng sự thật ta thấy: muốn 7490 hoạt động ở chế độ đếm thì điều kiện tối thiểu phải có một chân R_0 và một chân R_9 được cấp mức logic 0.

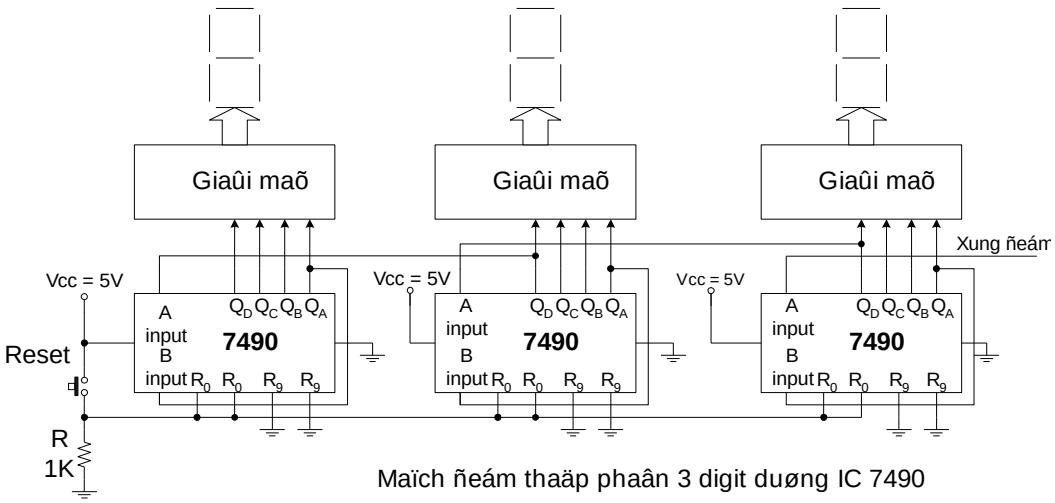
Ứng dụng 7490 làm bộ chia 2 tần số : đưa xung có tần số cần chia vào ngõ vào A INPUT (chân 14), lấy xung ra tại Q_A .

Ứng dụng 7490 làm bộ chia 5 tần số : đưa xung có tần số cần chia vào ngõ vào B INPUT (chân 1), lấy xung ra tại Q_D .

Ứng dụng 7490 làm bộ chia 10 (đếm 10) ta đưa xung có tần số cần chia vào ngõ vào A INPUT (chân 14), dùng dây dẫn nối bên ngoài từ Q_A đến ngõ vào B INPUT, lấy xung ra tại Q_D . Nếu sử dụng làm bộ đếm 10 thì mã BCD được lấy ra trên Q_A, Q_B, Q_C, Q_D.

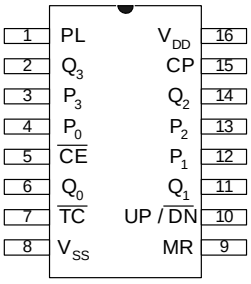


Maïch ñeám thaäp phaân duøng IC 74



Maïch ñeám thaäp phaân 3 digit duøng IC 7490

5. Khảo sát vi mạch CD4510B



CD 4510B

Bảng sự thật (Function table)

MR	PL	UP/$\overline{DN}$	$\overline{CE}$	CP	mode
L	H	X	X	X	Parallel load ($P_n \rightarrow Q_n$)
L	L	X	H	X	no change
L	L	L	L	↑	count down
L	L	H	L	↑	count up
H	X	X	X	X	reset

Chức năng các chân:

PL parallel load input (active HIGH)

P_0 to P_3 parallel inputs

$\overline{CE}$ count enable input (active LOW)

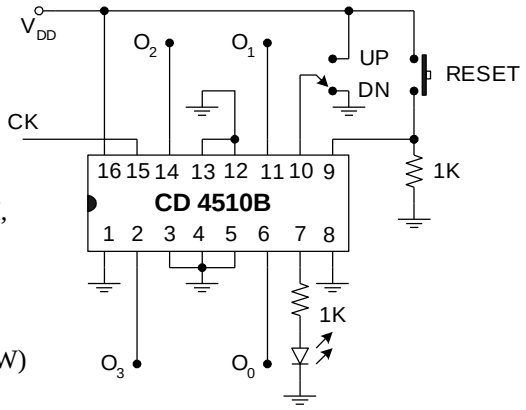
CP clock pulse input (LOW to HIGH, edge triggered)

UP/$\overline{DN}$ up/down count control input

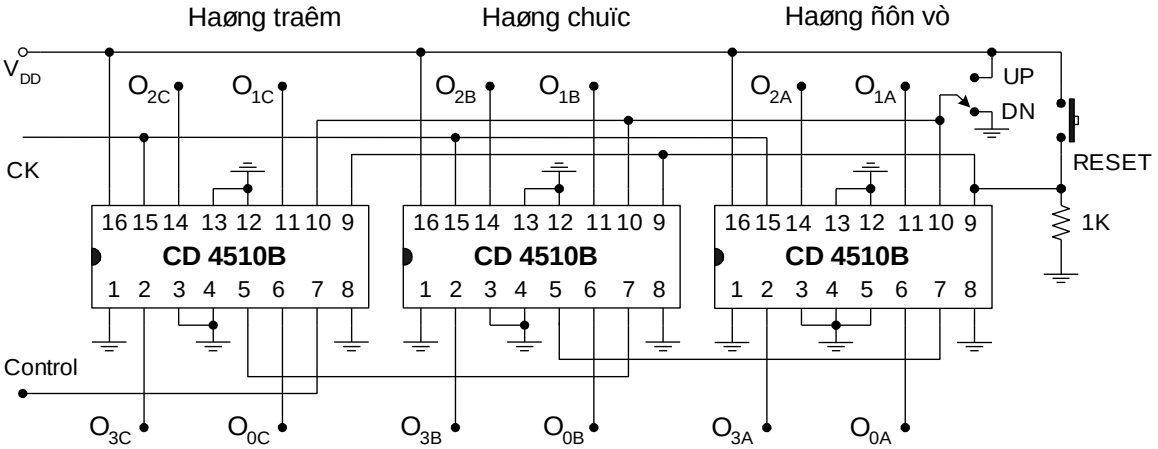
MR master reset input

$\overline{TC}$ terminal count output (active LOW)

O_0 to O_3 parallel outputs



Maïch ñeám thaäp phaân duøng CD 4510



Maïch ñeám thaäp phaân 3 digit duøng CD4510

BÀI 11: HỢP KÊNH VÀ PHÂN KÊNH

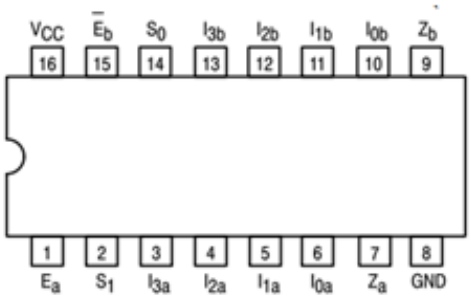
(Multiplexer and Demultiplexer)

1. Hợp kênh (MUX)

Hợp kênh là một *mạch tổ hợp* có nhiều đầu vào nhưng chỉ có một đầu ra. Hợp kênh làm nhiệm vụ như một khóa chuyển mạch. Nó chuyển số liệu (data) từ một trong đầu vào I_0, I_1, I_2, … đến đầu ra Z.

Việc lựa chọn cho dữ liệu nào được chuyển ra đầu Z nhờ tín hiệu logic tác dụng vào đầu "chọn lọc" (Selection) S_0, S_1, S_2, … và cổng cho phép E (enable)

1.1 Mạch hợp kênh 4 sang 1



Bảng trạng thái							
Chọn ngõ vào		Ngõ vào					Ngõ ra
S_0	S_1	E	I_0	I_1	I_2	I_3	Z
x	x	1	x	x	x	x	0
0	0	0	I_0	x	x	x	I_0
0	1	0	x	I_1	x	x	I_1
1	0	0	x	x	I_2	x	I_2
1	1	0	X	x	x	I_3	I_3

1.1.1 Khảo sát vi mạch 74LS151(motorola)

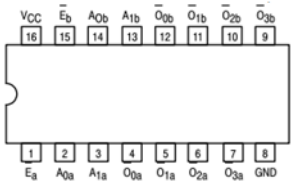
2. Phân kênh (DMUX)

Phân kênh là một mạch tổ hợp có một đầu vào nhưng có nhiều đầu ra. Nhiệm vụ của phân kênh giống như các khóa chuyển mạch, nó chuyển số liệu (data) từ một đầu vào và phân phát đến một trong số các đầu ra.

2.1 Mạch phân kênh 1 sang 4

2.2 Một số vi mạch phân kênh hay dùng

2.3 Ví dụ vi mạch 74LS139



Bảng trạng thái						
Ngõ vào			Ngõ ra			
$\bar{E}$	A_0	A_1	$\bar{O}_0$	$\bar{O}_1$	$\bar{O}_2$	$\bar{O}_3$
1	x	x	1	1	1	1
0	0	0	0	1	1	1
0	1	0	1	0	1	1
0	0	1	1	1	0	1
0	1	1	1	1	1	0

BÀI 12: BỘ SO SÁNH 2 SỐ NHỊ PHÂN CÙNG CẤP

1. Khái niệm:

Trong nhiều trường hợp phải so sánh 2 số nhị phân A và B để chỉ ra được mối quan hệ giữa chúng: A > B; A < B; hay A = B.

Mạch tổ hợp thực hiện chức năng nói trên được gọi là bộ so sánh. Trước tiên chúng ta hãy xét bộ so sánh 2 số nhị phân 1 bit và sau đó thiết kế các bộ so sánh nhiều bit.

2. So Sánh 1 bit nhị phân:

- Bảng chân trị:

A_i	B_i	Z_3 ($A_i = B_i$)	Z_2 ($A_i < B_i$)	Z_1 ($A_i > B_i$)
0	0	1	1	0
0	1	0	0	0
1	0	0	0	1
1	1	1	1	0

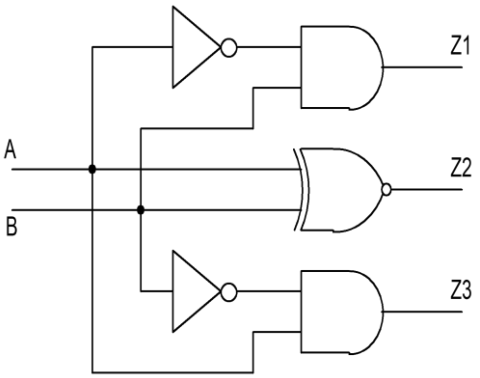
- Hệ hàm ra:

$$Z_3 = A_I \oplus B_I$$

$$Z_2 = \overline{A_I} B_I$$

$$Z_1 = A_I B_I$$

- Cấu trúc mạch:



3. So Sánh 4 bit nhị phân:

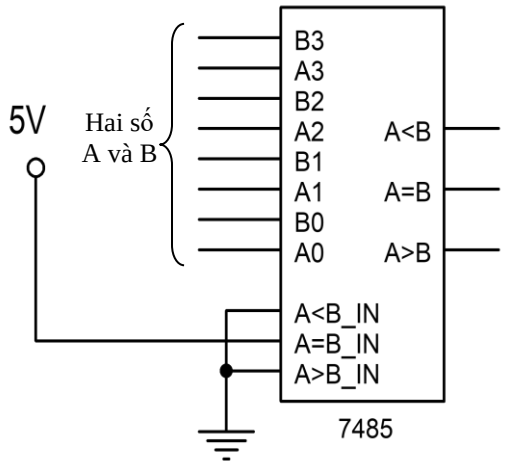
Nhóm IC MSI 7485, 74LS85 hay 74HC85 được chế tạo nhằm giải quyết nhiệm vụ so sánh các số nhị phân không dấu có 4 bit.

- Bảng chân lý:

Đầu vào so sánh				Đầu vào nối tiếp tầng			**Đầu ra**		
A_3B_3	A_2B_2	A_1B_1	A_0B_0	$I_{A>B}$	$I_{A<B}$	$I_{A=B}$	$O_{A>B}$	$O_{A<B}$	$O_{A=B}$
A3>B3	X	X	X	X	X	X	1	0	0
$A_3<B_3$	X	X	X	X	X	X	0	1	0
$A_3=B_3$	$A_2>B_2$	X	X	X	X	X	1	0	0
$A_3=B_3$	$A_2<B_2$	X	X	X	X	X	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1>B_1$	X	X	X	X	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1>B_1$	X	X	X	X	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0>B_0$	X	X	X	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0>B_0$	X	X	X	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	1	0	0	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0	1	0	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0	0	1	0	0	1
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0	0	0	1	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	1	1	0	0	0	0

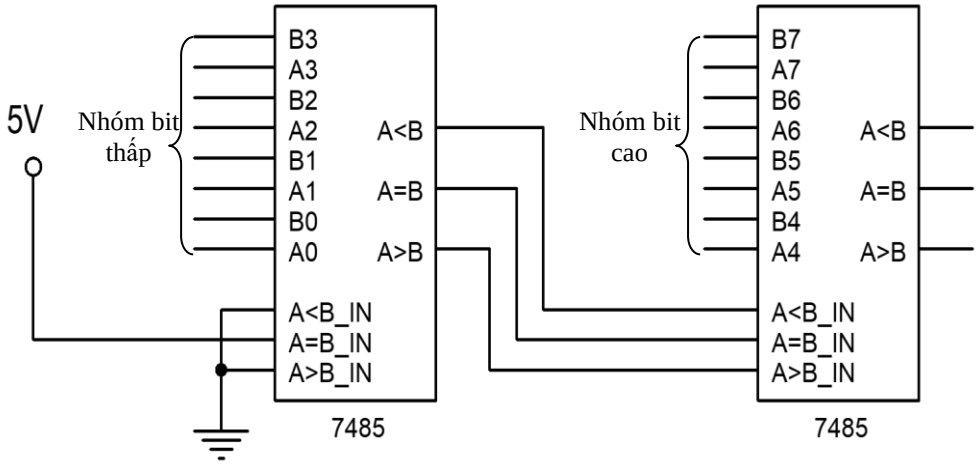
- Cấu trúc IC:
  - 8 dữ liệu đầu vào là 2 số nhị phân 4 bit.

- 3 đầu ra tích cực mức cao thể hiện 3 kết quả của phép so sánh.
- 3 đầu vào nối tầng để mở rộng phép so sánh.



4. So sánh 8 bit nhị phân:

Bộ so sánh bit cao thực hiện việc so sánh các bit già của A và B. Tất cả các mức logic của bộ so sánh bit thấp sẽ bị cấm khi kết quả đã được xác định ở bộ so sánh bit cao.



BÀI 13: MẠCH GHI DỊCH

(Shift Register)

Mạch ghi dịch bao gồm các phần tử nhớ làm nhiệm vụ ghi và dịch chuyển các bit của từ nhị phân về phía phải hoặc về phía trái khi có xung nhịp tác dụng.

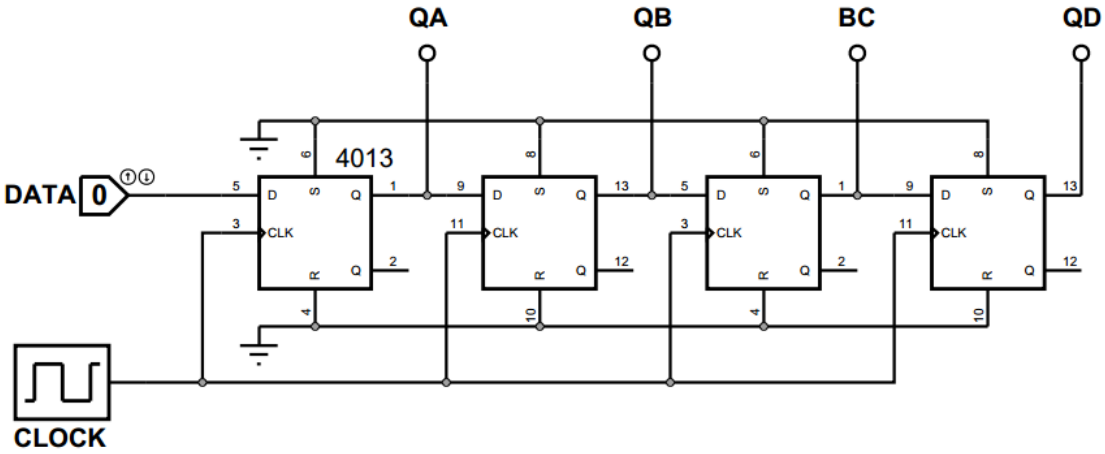
Ví dụ: máy tính bỏ túi. Đầu tiên khi nhấn phím 2 thì trên mặt hiển thị số 2. Nhấn tiếp phím 4 thì khi rời tay ra số 4 sẽ thay thế vị trí số 2 còn số 2 sẽ dịch qua trái.

Phân loại:

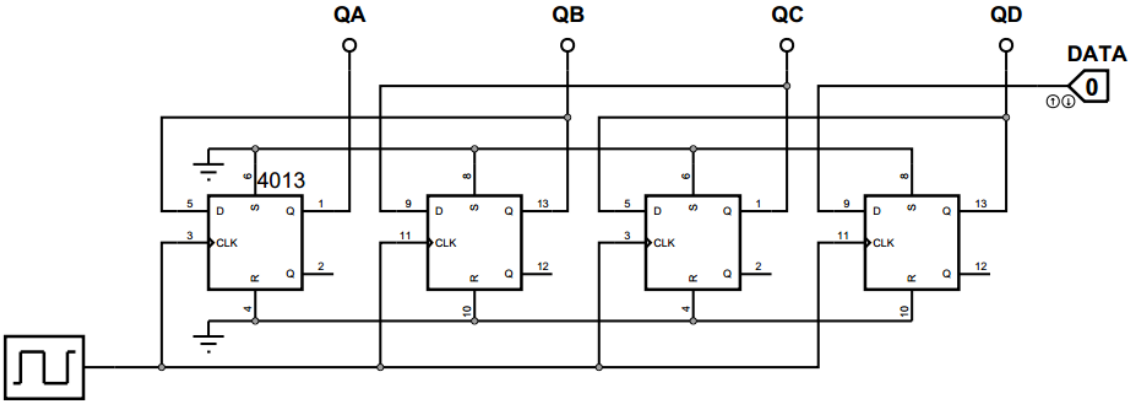
- Căn cứ vào chiều dịch chuyển số liệu: ghi dịch trái (SLB) và ghi dịch phải (SRR)
- Căn cứ vào cách nhập số liệu:
  - Ghi dịch vào nối tiếp – ra nối tiếp
  - Ghi dịch vào nối tiếp – ra song song
  - Ghi dịch vào song song – ra nối tiếp
  - Ghi dịch vào song song – ra song song

Flip flop có khả năng nhớ 1 bit. Muốn mạch nhớ nhiều bit ta mắc nối tiếp nhiều FF. Các bit đang nhớ được dịch chuyển bởi xung đồng hồ thì mạch được gọi là mạch ghi dịch (Shift register – SR). Sự kiện các bit có thể dịch chuyển qua phải hay qua trái mỗi khi có xung đồng hồ khiến cho mạch ghi dịch có nhiều ứng dụng quan trọng. Trong ngôn ngữ

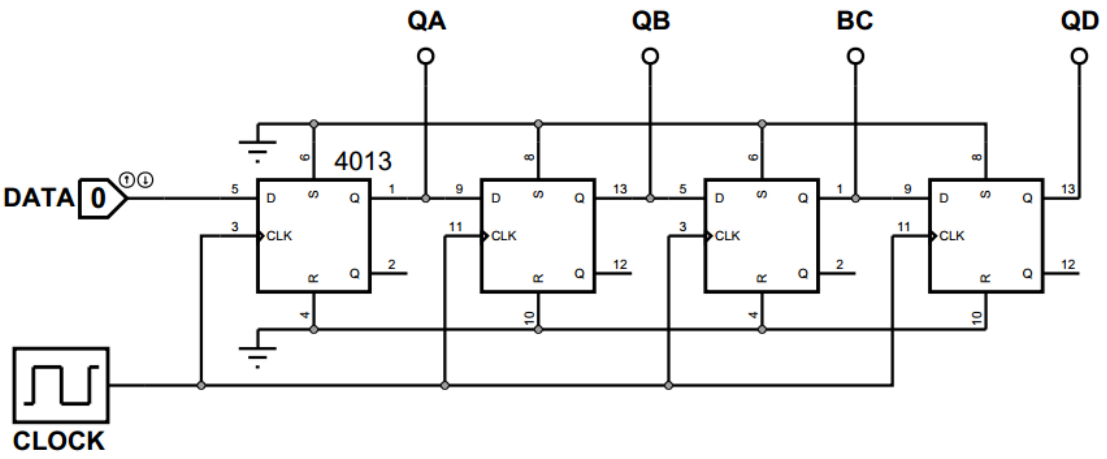
1. Mạch ghi dịch phải

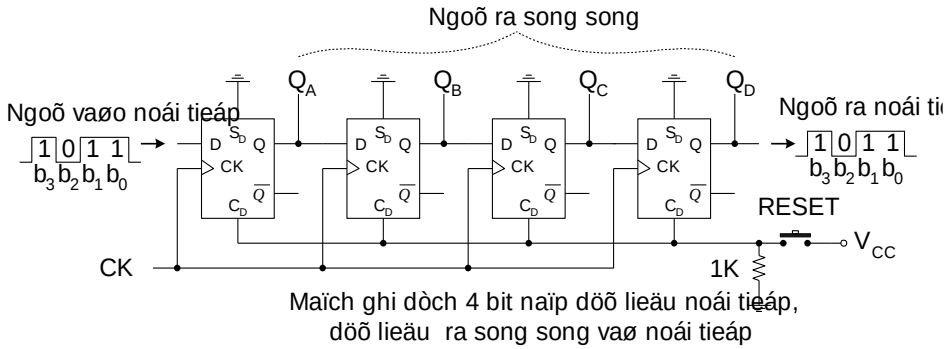


2. Mạch ghi dịch trái



3. Mạch ghi dữ liệu nối tiếp





Maïch ghi dòch 4 bit naïp döõ lieäu noái tieáp, döõ lieäu ra song song vaø noái tieáp

Số xung đồng hồ vào	Dữ liệu vào D (DATA IN)	Dữ liệu ra song song			
		Q_A	Q_B	Q_C	Q_D
RESET	X	0	0	0	0
1	$b_0 = 1$	1	0	0	0
2	$b_1 = 1$	1	1	0	0
3	$b_2 = 0$	0	1	1	0
4	$b_3 = 1$	1	0	1	1
5	X	X	1	0	1
6	X	X	X	1	0
7	X	X	X	X	1

Xét mạch ghi dịch 4 bit dùng 4 D FF mắc nối tiếp theo thứ tự FFA, FFB, FFC và FFD. Dữ liệu vào nối tiếp được đưa vào ngõ vào D của FFA theo thứ tự b_0, b_1, b_2 và b_3 . Ta thấy rằng mỗi khi có cạnh lên của xung CK tác động thì mức logic ở các ngõ vào D của mỗi FF sẽ truyền đến ngõ ra Q của chính FF đó.

Trước tiên ta tạo một xung dương ở ngõ C_D (nhấn nút RESET) của các FF để xoá các ngõ ra $Q_A = Q_B = Q_C = Q_D = 0$.

Khi có xung CK thứ nhất thì bit 0 (b_0) được nạp vào FFA nên $Q_A = b_0 = 1$.

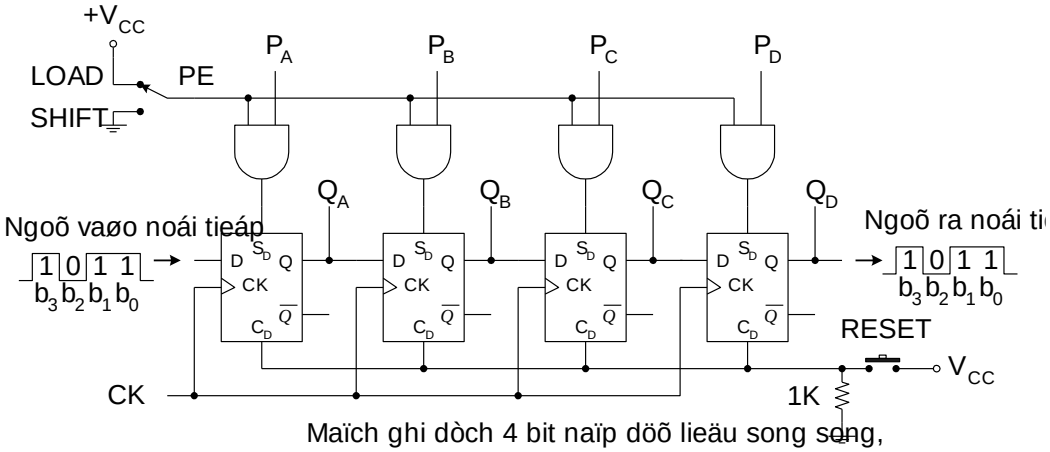
Khi có xung CK thứ hai thì bit 1 (b_1) được nạp vào FFA nên $Q_A = b_1 = 1$, đồng thời bit 0 ở Q_A được nạp vào FFB nên $Q_B = b_0 = 1$.

Khi có xung CK thứ ba thì bit 2 (b_2) được nạp vào FFA nên $Q_A = b_2 = 0$, đồng thời bit 1 ở Q_A được nạp vào FFB nên $Q_B = b_1 = 1$, đồng thời bit 0 ở QB được nạp vào FFC nên QC = $b_0 = 1$.

Phân tích tương tự như trên ta thấy rằng sau 4 xung CK thì dữ liệu 4 bit được nạp và lưu trữ (nhớ) vào thanh ghi dịch. Ta có thể đọc dữ liệu song song (đọc đồng thời cả 4 bit) tại các ngõ ra song song Q_A, Q_B, Q_C và Q_D .

Ta cũng có thể đọc nối tiếp dữ liệu tại ngõ ra nối tiếp Q_D . Sau xung CK thứ 4 ta đọc được bit 0, sau xung CK thứ 5 ta đọc được bit 1, sau xung CK thứ 6 ta đọc được bit 2 và sau xung CK thứ 7 ta đọc được bit 3.

4. Mạch ghi dữ liệu song song



Maïch ghi dòch 4 bit naïp döõ lieäu song song, döõ lieäu ra song song vaø noái tieáp

Ngõ vào PE (Preset Enable): cho phép đặt trước .

P_A – P_D : các ngõ vào song song.

Nguyên lý hoạt động :

Trước tiên xoá cho $Q_A = Q_B = Q_C = Q_D = 0$.

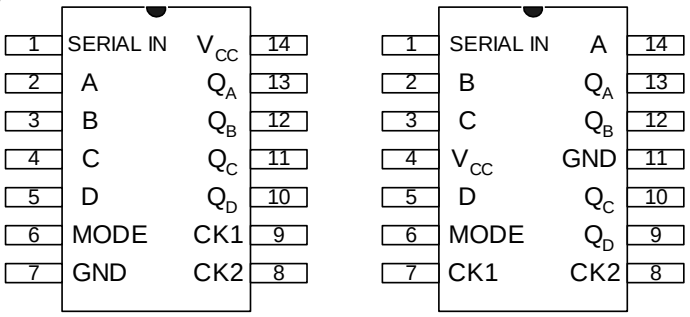
Ap dữ liệu song song ở các ngõ vào song song P_A , P_B , P_C , P_D .

Đưa chân PE lên mức cao (LOAD – nạp), nếu dữ liệu là mức 1 thì sẽ được nạp vào FF tương ứng (xuất hiện ở ngõ ra tương ứng), nếu dữ liệu là mức 0 thì không nạp vào được, nhưng thực tế vẫn xem như đã được nạp vì lúc xoá ta đã có các ngõ ra bằng 0.

Khi muốn mạch hoạt động bình thường thì ta phải đưa ngõ PE xuống mức thấp (Shift – dịch chuyển) nhằm khóa các cổng AND không cho dữ liệu nạp vào một cách ngẫu nhiên. Muốn lấy dữ liệu ở ngõ ra nối tiếp ta chỉ cần tác động 3 xung CK (vì ban đầu ở Q_D đã có sẵn bit đầu tiên tương ứng với P_D).

5. Giới thiệu vi mạch ghi dịch

1 – IC ghi dịch 7495A/B:



7495A/B **7495**

SERIAL IN: Ngõ vào nối tiếp.

A, B, C, D : 4 Ngõ vào song song.

Q_A, Q_B, Q_C, Q_D : 4 Ngõ ra song song.

CK1(CLOCK1 – R SHIFT): Ngõ vào xung đồng hồ điều khiển dịch phải.

CK2 (CLOCK2 – L SHIFT / LOAD): Ngõ vào xung đồng hồ điều khiển dịch trái và điều khiển nạp dữ liệu song song (kết hợp với chân MODE).

MODE CONTROL: chọn kiểu.

MODE CONTROL = 1 : Nạp (load).

MODE CONTROL = 0 : Dịch chuyển (shift).

Bảng sự thật

INPUT								OUTPUT			
MODE CONTROL	CLOCK		SERIAL	PARALELL				Q_A	Q_B	Q_C	Q_D
	2	1		A	B	C	D				
H	H	X	X	X				Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}
H	↑	X	X	a	b	c	d	a	b	c	d
H	↑	X	X	Q_B	Q_C	Q_D	d	Q_{Bn}	Q_{Cn}	Q_{Dn}	d
L	L	H	X	X	X	X	X	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}
L	X	↑	H	X	X	X	X	H	Q_{An}	Q_{Bn}	Q_{Cn}
L	X	↑	L	X	X	X	X	L	Q_{An}	Q_{Bn}	Q_{Cn}
↓	L	L	X	X	X	X	X	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}
↑	L	L	X	X	X	X	X	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}
↑	L	H	X	X	X	X	X	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}
↓	H	L	X	X	X	X	X	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}
↓	H	H	X	X	X	X	X	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}

7495 là IC ghi dịch 4 bit, vào nối tiếp hoặc song song, ra song song.

Nạp dữ liệu: Sắp xếp dữ liệu muốn nạp ở các ngõ vào A, B, C, D. Đưa chân chọn kiểu (MODE CONTROL) lên mức 1. Khi có cạnh xuốn của xung CK ở chân CK2 thì dữ liệu được nạp (tức dữ liệu xuất hiện ở ngõ ra Q_A, Q_B, Q_C, Q_D).

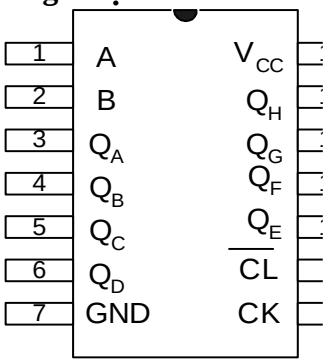
Muốn dịch chuyển phải: Dữ liệu đã có sẵn (hay xuất hiện ở ngõ vào nối tiếp). Đưa chân chọn kiểu (MODE CONTROL) xuống mức 0. Khi có cạnh xuống của xung CK ở chân CK1 thì dữ liệu được dịch chuyển phải 1 bit.

Muốn dịch chuyển trái: Dữ liệu đã có sẵn (hay xuất hiện ở ngõ vào nối tiếp). Nối dây bên ngoài từ ngõ ra của mỗi FF đến ngõ vào song song của FF bên cạnh:

$Q_D \rightarrow C$; $Q_C \rightarrow B$; $Q_B \rightarrow A$.

Đưa chân chọn kiểu (MODE CONTROL) lên mức cao. Khi có cạnh xuống của xung CK ở chân CK2 thì dữ liệu được dịch chuyển trái 1 bit.

2 – IC ghi dịch 74164:



74164

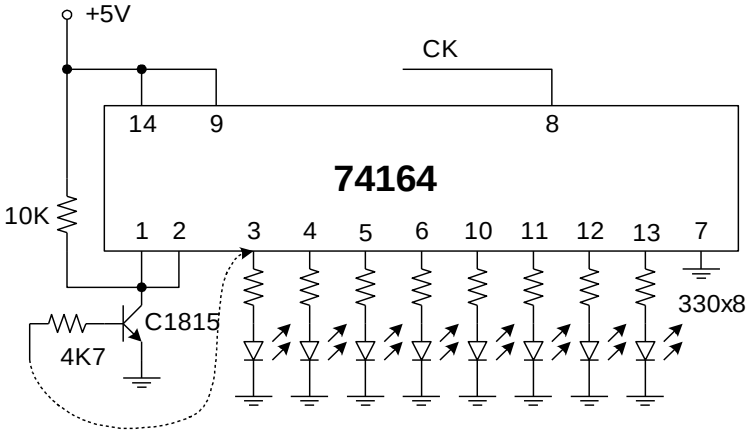
Bảng sự thật

INPUTS				OUTPUTS			
CL	CK	A	B	Q_A	Q_B	....	Q_H
L	X	X	X	L	L		L
H	L	X	X	Q_{A0}	Q_{B0}		Q_{H0}
H	↓	H	H	H	Q_{An}		Q_{Gn}
H	↓	L	X	L	Q_{An}		Q_{Gn}
H	↓	X	L	L	Q_{An}		Q_{Gn}

CL: Clear = Reset : Xoá, tác đông mức thấp.

Khi mạch đang dịch chuyển, đưa chân $\overline{CK}$ xuống mức thấp thì lập tức dữ liệu được chốt lại.

Q_A – Q_H : 8 ngõ ra song song. A và B: hai ngõ vào nối tiếp.



Laàn löôït noái ñeán caùc ngoõ ra cuûa IC 74164

Maïch ñeøn quaûng caùo duøng IC ghi dòch 7416

Vi mạch 74LS194

BÀI 14: BỘ CHUYỂN ĐỔI SỐ - TƯƠNG TỰ

(Digital to Analog Converter)

1. Sơ đồ khối:

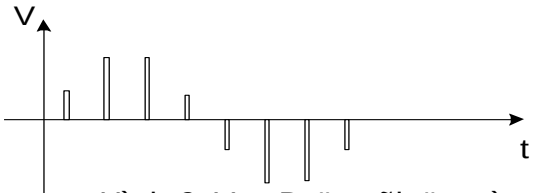
Chuyển đổi số sang tương tự là lấy một giá trị được biểu diễn dưới dạng mã số và chuyển đổi nó thành mức điện thế hoặc dòng điện tỉ lệ với giá trị số đó.

Sơ đồ khối của một bộ chuyển đổi DAC.

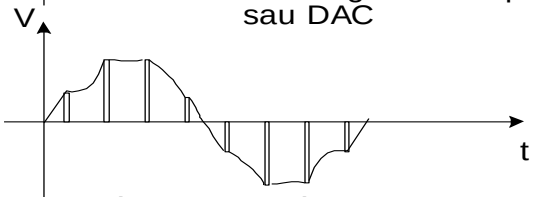
Hình 9.10: Sô ñoà khoái maïch DAC

Mạch DAC gồm nhiều đầu vào là các tín hiệu số và có một đầu ra là điện áp tương tự. Số đầu vào càng nhiều thì chất lượng chuyển đổi DAC càng cao.

Thí dụ: Một mạch DAC có 4 ngõ vào thì tổ hợp mã nhị phân ở đầu vào sẽ có 4 bit, như vậy ở ngõ vào sẽ thay đổi trong 16 giá trị từ 0000 đến 1111. Tương ứng với 16 giá trị nhị phân thì ở đầu ra sẽ có 16 giá trị điện áp tương ứng



Hình 9.11a: Daïng ñieän aùp thu
sau DAC



Hình 9.11b: Tín hieäu töông töi
ñöôïc sau boä loïc daûi
(ñöôøng bao cuûa tín hieäu sau

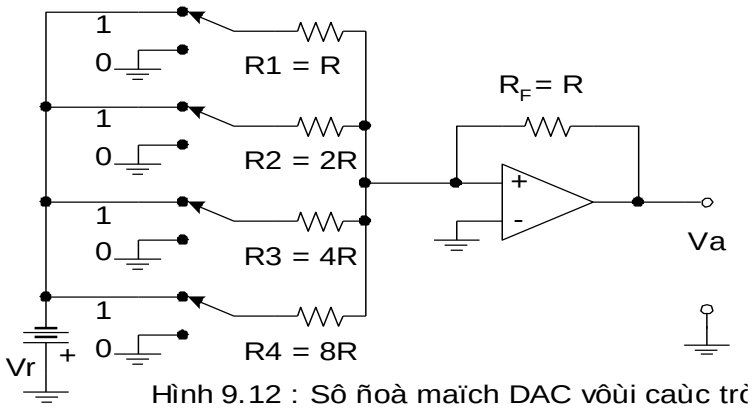
Tổ hợp mã nhị phân ở ngõ vào	Điện áp ở ngõ ra
0000	7 V
0001	6 V
0010	5 V
0011	4 V
0100	3 V
0101	2 V
0110	1 V
0111	0 V
1000	- 1 V
1001	- 2 V
1010	- 3 V
1011	- 4 V
1100	- 5 V
1101	- 6 V
1110	- 7 V
1111	- 8 V

Bảng 9.1 : Quan hệ giữa tổ hợp mã nhị phân ngõ vào và điện áp ngõ ra của DAC

Nếu ta thay đổi liên tục các tổ hợp mã nhị phân ở đầu vào thì điện áp ở đầu ra cũng thay đổi liên tục, nếu ta đưa tín hiệu ở ngõ ra qua một bộ lọc dải thì sẽ thu được tín hiệu tương tự như trong hình 9.11.

2. DAC sử dụng điện trở có trọng số nhị phân:

- Mạch điện



Hình 9.12 : Sô ñoà maïch DAC vôùi caùc trở ñieän trôû khaùc nhau.

Mạch gồm bộ khuếch đại thuật toán được dùng làm bộ cộng đảo.

$$V_{OUT} = -(V_D + \frac{1}{2}V_C + \frac{1}{4}V_B + \frac{1}{8}V_A) \quad (4)$$

Nguyên lý:

Xem mã nhị phân 4 bit là b3 ; b2 ; b1 và b0. Mạch gồm một OPAMP mắc kiểu khuếch đại đảo, 4 điện trở có trị số tỉ lệ nghịch với trọng số của 4 bit là :

R1 = R tương ứng với bit b3. R2 = 2R tương ứng với bit b2.

R3 = 4R tương ứng với bit b1. R4 = 8R tương ứng với bit b0.

4 công tắc điện tử kiểm soát mỗi bit tương ứng, nếu bit = 1 thì công tắc ở vị trí 1 nối đến điện thế chuẩn Vr ; nếu bit = 0 thì công tắc ở vị trí 0 nối đến mass.

Gỉa sử mã nhị phân vào là 1000 tức là b3 = 1; b2 = b1 = b0 = 0, ở ngõ vào của bộ khuếch đại đảo chỉ có điện trở R1 được nối với điện thế chuẩn Vr nên có dòng điện $I1 = \frac{Vr}{R1} = \frac{Vr}{R}$ còn I2 = I3 = I4 = 0.

Theo công thức tính điện áp ngõ ra của bộ khuếch đại đảo ta có:

$$Va = -\frac{Rf}{R1}(-Vr) = \frac{Rf}{R}Vr$$

Theo mạch nguyên lý thì Rf = R nên $Va = Vr = 8\frac{Vr}{8}$

Khi mã nhị phân vào là 0100 tức là b2 = 1; b3 = b1 = b0 = 0, ở ngõ vào của bộ khuếch đại đảo chỉ có điện trở R2 được nối với điện thế chuẩn Vr nên có dòng điện $I2 = \frac{Vr}{R2} = \frac{Vr}{2R}$ còn I1 = I3 = I4 = 0.

Theo công thức tính điện áp ngõ ra của bộ khuếch đại đảo ta có:

$$Va = -\frac{Rf}{R2}(-Vr) = \frac{Rf}{2R}Vr = \frac{Vr}{2} = 4\frac{Vr}{8}$$

Khi mã nhị phân vào là 0010 tức là b1 = 1; b3 = b2 = b0 = 0, ở ngõ vào của bộ khuếch đại đảo chỉ có điện trở R3 được nối với điện thế chuẩn Vr nên có dòng điện $I3 = \frac{Vr}{R3} = \frac{Vr}{4R}$ còn I1 = I2 = I4 = 0.

Theo công thức tính điện áp ngõ ra của bộ khuếch đại đảo ta có:

$$Va = -\frac{Rf}{R3}(-Vr) = \frac{Rf}{4R}Vr = 2\frac{Vr}{8}$$

Khi mã nhị phân vào là 0001 tức là b0 = 1; b3 = b2 = b1 = 0, ở ngõ vào của bộ khuếch đại đảo chỉ có điện trở R4 được nối với điện thế chuẩn Vr nên có dòng điện $I4 = \frac{Vr}{R4} = \frac{Vr}{8R}$ còn I1 = I2 = I3 = 0.

Theo công thức tính điện áp ngõ ra của bộ khuếch đại đảo ta có:

$$Va = -\frac{Rf}{R4}(-Vr) = \frac{Rf}{8R}Vr = \frac{Vr}{8}$$

Qua 4 trường hợp trên ta thấy rằng nếu giữ cố định điện thế chuẩn thì khi tổ hợp mã nhị phân ở đầu vào tăng thì hệ số của điện áp đầu ra tăng theo tỉ lệ, từ đó ta rút ra cho tất cả 16 trạng thái của tổ hợp mã nhị phân đầu vào. Nếu ta thay đổi liên tục giá trị của tổ hợp mã nhị phân ở đầu vào thì ở đầu ra ta có điện thế tương tự.

BÀI 15: BỘ CHUYỂN ĐỔI TƯƠNG TỰ - SỐ

(Analog to Digital Converter)

Bộ biến đổi tương tự/số (ADC)

Hình vẽ sau mô tả chức năng của ADC 4 bit.

1. Vi mạch ADC ICL7106 và ICL7107:

ICL7106 và ICL7107 là những vi mạch được chế tạo để làm mạch đo điện áp hiển thị số với khả năng hiển thị 3.½ digit (ba số rưỡi). ICL7106 được chế tạo để giao tiếp với màn hiển thị tinh thể lỏng (LCD) còn ICL7107 được chế tạo để giao tiếp với LED 7 đoạn (loại Anod chung).

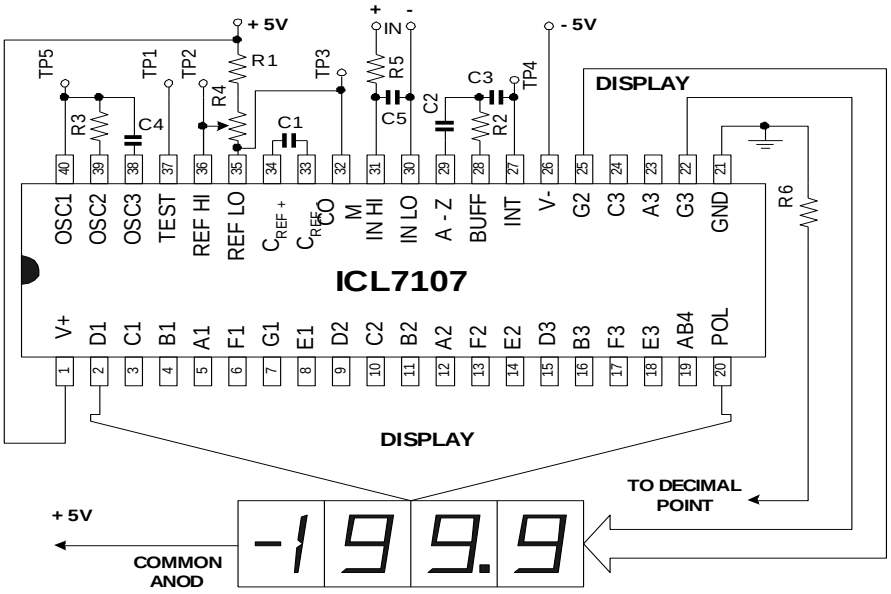
Bên trong mỗi vi mạch đều có các mạch: chuyển đổi tương tự sang số (ADC); mạch giải mã BCD ra 7 đoạn; mạch lái hiển thị; mạch tạo xung Clock và mạch tạo điện thế chuẩn.

Trị số linh kiện:

C1 = 0.1 μF; C2 = 0.47 μF; C3 = 0.22 μF; C4 = 100 PF; C5 = 0.01 μF;

R1 = 24 KΩ; R2 = 47 KΩ; R3 = 100 KΩ; R4 = 1 KΩ TRIMPOT; R5 = 1M Ω

Hình 9.17: Mạch đo điện áp hiển thị số dùng ICL7107



Trị số linh kiện:

C1 = 0.1 μF; C2 = 0.47 μF; C3 = 0.22 μF; C4 = 100 PF; C5 = 0.01 μF;

R1 = 24 KΩ; R2 = 47 KΩ; R3 = 100 KΩ; R4 = 1 KΩ TRIMPOT; R5 = 1M Ω;

R6 = 150 Ω.

Chức năng các chân IC :

Chân 1 (V+) : là chân cấp nguồng dương . Đối với ICL7106 chân này được cấp + 9V; Đối với ICL7107 chân này được cấp + 5V.

Chân 26 (V-): là chân cấp nguồn âm . Đối với ICL7106 chân này được nối với Mass (cực âm của nguồn 9V); Đối với ICL7107 chân này được cấp - 5V.

Các chân 38, 39 và 40 (OSC) : là các chân dùng để nối linh kiện RC bên ngoài để xác định tần số dao động bên trong vi mạch.

Chân 37 (TEST): được sử dụng như V- cho các cổng đảo . Chân này có khả năng chịu dòng khoảng 1 mA, và điện thế thấp hơn V+ khoảng chừng 5V.

Chân 21: Đối với ICL7106 chân này là chân BP (Back Plane) là ngõ ra cung cấp dãy xung vuông cho chân Back Plane của mặt hiển thị tinh thể lỏng (LCD). Điện áp xung ra ở chân BP dao động trong khoảng điện áp giữa chân V+ và chân TEST. Đối với ICL7107 chân này là chân GND được nối với Mass.

Chân 30 và 31: là ngõ vào tín hiệu tương tự đơn cực. Cực dương của tín hiệu tương tự được đưa vào chân 31 (IN HI) và cực âm của tín hiệu tương tự đưa vào chân 30 (IN LO).

Các chân 27; 28 và 29 : dùng để nối linh kiện bên ngoài cho mạch Auto Zero (A – Z) có tác dụng tự động Reset về 0 (hiển thị số 0) khi không có tín hiệu tương tự vào.

Các chân A1 đến G1 : được nối đến các thanh hiển thị của chữ số hàng đơn vị.

Các chân A2 đến G2 : được nối đến các thanh hiển thị của chữ số hàng chục.

Các chân A3 đến G3 : được nối đến các thanh hiển thị của chữ số hàng trăm.

Chân AB4 : để hiển thị số 1 ở hàng nghìn (hàng nghìn chỉ hiển thị được số 1).

Chân 20 (Polarity – POL) : được nối đến dấu gạch ngang để hiển thị cực tính (dấu trừ). Khi tín hiệu tương tự ở đầu vào đặt không đúng cực tính thì sẽ hiển thị dấu trừ .

Điện áp cực đại ở đầu vào:

ICL7106 và ICL7107 có thể chọn hai dải đo là 200mV và 2V (điện áp tương tự vào tối đa là 200mV và 2V tùy theo cách chọn trị số linh kiện như bảng 9.3 .

Bảng 9.3: Gía trị các linh kiện tương ứng với hai dải đo:

Linh kiện	Dải đo 200mV	Dải đo 2V
R1	24 KΩ	1.5 KΩ
R2	47 KΩ	470 KΩ
C2	0.47 μF	0.047 μF

Lưu ý: Khi thay R1 = 1.5 KΩ sẽ làm rút ngắn tuổi thọ của nguồn pin ở mạch dùng ICL7106.

Trong trường hợp muốn mở rộng thang đo hơn nữa thì ta phải dùng cầu phân thế ở đầu vào.

BÀI 16: RAM

1. ROM *(Read Only Memory - Bộ nhớ chỉ đọc)*

- ***ROM:*** là loại bộ nhớ có chương trình được nạp sẵn bởi nhà sản xuất, không thay đổi được.
- ***PROM*** (Programable ROM – ROM lập trình được): là loại bộ nhớ ROM chưa có chương trình, người sử dụng có thể nạp chương trình, nhưng sau khi đã nạp chương trình thì không thay đổi được.
- ***EPROM*** (Erasable PROM – PROM xóa được): là loại bộ nhớ có thể xoá chương trình đã nạp bằng tia cực tím và có thể nạp lại dữ liệu nhiều lần.
- ***EEPROM*** (Electrically EPROM – EPROM xóa bằng điện): còn gọi là ROM điện là loại bộ nhớ có thể xoá chương trình đã nạp bằng điện và có thể nạp lại dữ liệu nhiều lần.

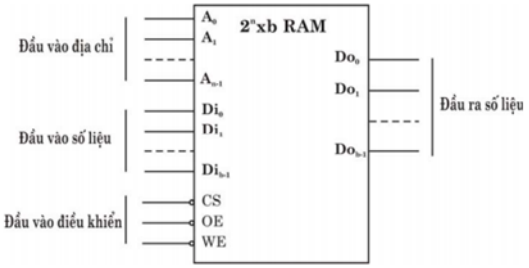
2. RAM *(Radom Access Memory - Bộ nhớ truy xuất ngẫu nhiên)*

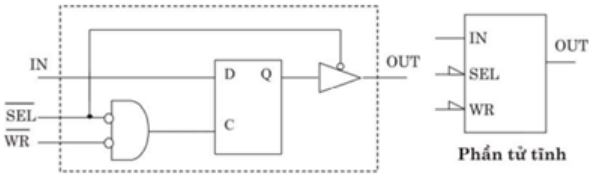
RAM: được gọi là bộ nhớ truy xuất ngẫu nhiên. Đặc điểm chính của RAM là dữ liệu được ghi vào và đọc ra trong quá trình sử dụng, khi không còn nguồn cung cấp thì dữ liệu trong RAM cũng bị mất đi. RAM thường được ứng dụng để chứa dữ liệu tạm thời trong các máy tính. RAM có hai loại:

- **SRAM** *(Static RAM – RAM tĩnh)*: có cấu tạo là các flip – flop, mỗi flip – flop có thể nhớ được 1 bit nên dung lượng của RAM bao nhiêu bit thì có bấy nhiêu flip – flop, do đó SRAM thường có dung lượng nhỏ.
- **DRAM** *(Dynamic RAM – RAM động):* có cấu tạo là các MOSFET, người ta lợi dụng điện dung ký sinh giữa cực G và các cực còn lại của MOSFET để chứa dữ liệu, tụ được nạp điện tương ứng với mức logic 1, tụ không được nạp điện tương ứng với mức 0. Sau khi được nạp điện thì các tụ điện sẽ xả điện dần nên dữ liệu sẽ bị mất đi do đó để dữ liệu không bị mất đi thì phải nạp bổ sung gọi là làm tươi RAM (Refresh).
- **SDRAM** *(Synchronous Dynamic Random Access Memory - Bộ nhớ truy cập ngẫu nhiên động đồng bộ):* là bộ nhớ sử dụng tín hiệu xung nhịp để đồng bộ hóa mọi thứ.
- **DDRAM** *(Double Data Rate - Tốc độ dữ liệu gấp đôi)* là bộ nhớ có khả năng truyền được hai khối dữ liệu trong một xung nhịp. Như vậy bộ nhớ DDR có tốc độ truyền dữ liệu cao gấp đôi so với những bộ nhớ có cùng tốc độ xung nhịp nhưng không có tính năng này (được gọi là bộ nhớ SDRAM, hiện không còn sử dụng cho PC nữa). DDR, DDR2 và DDR3 đều dựa trên thiết kế SDRAM.

3. Cấu trúc của SRAM

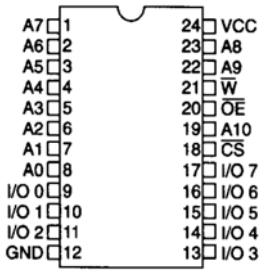
SRAM bao gồm rất nhiều các phần tử tĩnh, mỗi phần tử tĩnh chứa một phần tử nhớ là D-FF.



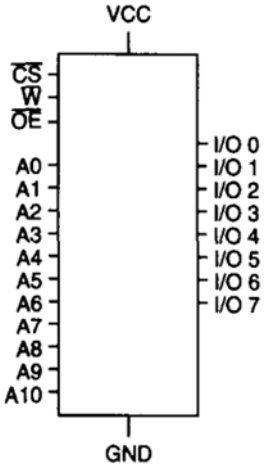


3.1 Vi mạch HM6116

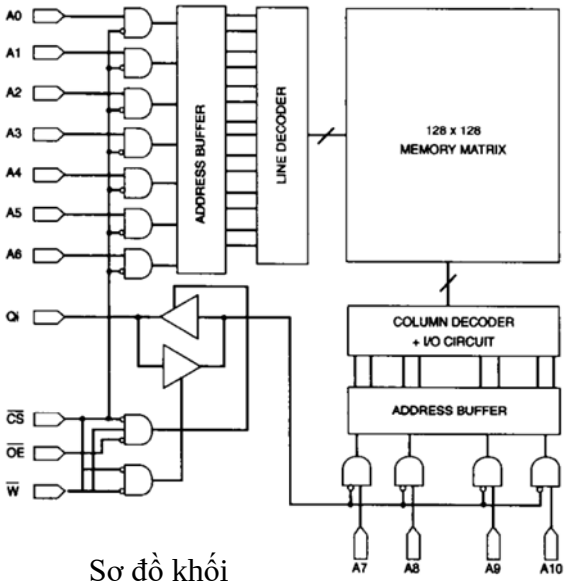
- SRAM loại CMOS



Vi mạch HM6116
SRAM CMOS 2Kx8



Ký hiệu



Sơ đồ khối

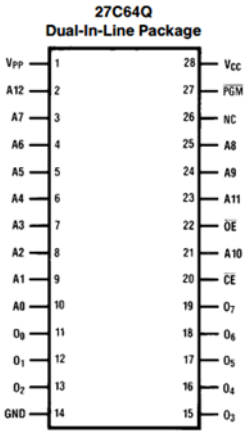
- Đầu vào địa chỉ (Address Input) được ký hiệu là A_0, A_1, A_2…
- Đầu vào và ra dữ liệu (Data Input/Output) được ký hiệu là I/O_0, I/O_1, I/O_2…
- Đầu chọn chip (Chip Selection): CS
- Đầu cho phép xuất dữ liệu ra (Output Enable): OE
- Đầu cho phép ghi dữ liệu vào (Write Enable): WE

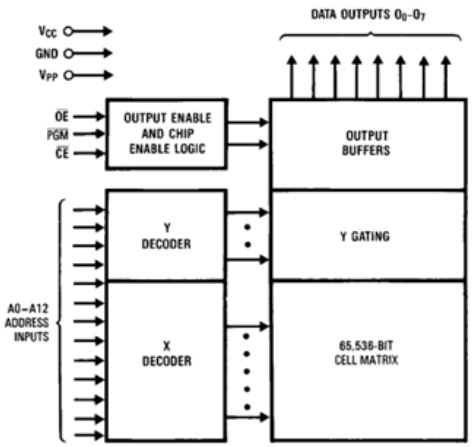
Bảng trạng thái

$\overline{CS}$	$\overline{OE}$	$\overline{W}$	Data - In	Data - Out	Kiểu
1	X	X	Tổng trở cao	Tổng trở cao	Không chọn
0	0	1	Tổng trở cao	Giá trị	Đọc
0	1	0	Giá trị	Tổng trở cao	Ghi
0	0	0	Giá trị	Tổng trở cao	Ghi

3.2 Vi mạch 2767

- Cũng tương tự như họ RAM 61XXX, số 27 là để chỉ họ EPROM còn 3 chữ số đứng sau để chỉ dung lượng bộ nhớ.
- Sau đây ta xét EPROM 2764 (hình 8.2) làm thí dụ.
- Chức năng các chân:
- VCP (Program Voltage) : chân này để cấp điện áp lập trình cho EPROM. Khi đọc dữ liệu từ EPROM thì chân này được cấp điện áp 5V; khi nạp dữ liệu vào EPROM thì chân này được bắn một xung có điện áp 21 V.
- $\overline{CE}$ (Chip Enable) : cho phép chip hoạt động (tác động mức thấp).
- $\overline{PGM}$ (Program Mode) :cho phép nạp dữ liệu vào EPROM (tác động mức thấp.
- A0 – A12 (Address): các chân địa chỉ . D0 – D7 (Data): các chân dữ liệu.
- $\overline{G}$ (Enable):cho phép xuất dữ liệu.





A0–A12	Addresses
$\overline{CE}$	Chip Enable
$\overline{OE}$	Output Enable
O_0–O_7	Outputs
$\overline{PGM}$	Program
NC	No Connect

Cách nạp dữ liệu vào EPROM:

Muốn nạp dữ liệu vào EPROM, trước tiên ta phải xoá dữ liệu cũ trong EPROM bằng cách chiếu tia cực tím vào cửa sổ trên lưng IC trong thời gian từ 2 phút đến 10 phút tùy theo chất lượng của IC.

Cung cấp mức logic cho các chân như sau: $\overline{CE}$ = 0 ; $\overline{PGM}$ = 0. Chọn ô nhớ sẽ chứa dữ liệu bằng cách đặt các chân địa chỉ (A0 – A12) ở mức logic phù hợp ; áp dữ liệu (8 bit) muốn nạp vào các chân Data (D0 – D7) tương ứng sau đó bắn một xung dương (có điện áp từ 12,5V đến 25Vtuỳ theo hãng sản xuất) vào chân VCP (độ rộng xung từ 150 đến 450ns tuỳ theo hãng sản xuất) thì dữ liệu sẽ được ghi vào ô nhớ đã chọn.

Cách đọc dữ liệu từ EPROM:

Cung cấp mức logic cho các chân như sau: $\overline{CE}$ = 0; $\overline{PGM}$ = 1; VCP = 5V. Chọn ô nhớ chứa dữ liệu cần đọc bằng cách đặt các chân địa chỉ (A0 – A12) ở mức logic phù hợp sau đó đưa chân $\overline{G}$ xuống mức thấp thì dữ liệu cần đọc sẽ xuất hiện tại các chân Data (D0 – D7).

Tài liệu tham khảo Giáo trình kĩ thuật số, tác giả Nguyễn Phương Quang. Giáo viên khoa Điện tử, bộ môn Điện tử công nghiệp; trường Đại Học Sư Phạm Kỹ Thuật Tp Hồ Chí Minh;